

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

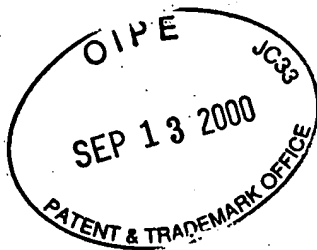
1999年10月26日

願番号
Application Number:

平成11年特許願第304007号

願人
Applicant(s):

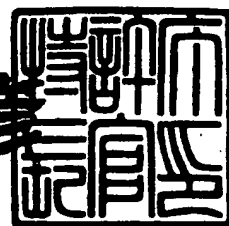
キヤノン株式会社



2000年 6月23日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3046058

【書類名】 特許願

【整理番号】 4003063

【提出日】 平成11年10月26日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03M 13/12

【発明の名称】 情報処理装置及び方法、並びに記憶媒体

【請求項の数】 54

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
 内

 【氏名】 吉田 淳

【特許出願人】

 【識別番号】 000001007

 【住所又は居所】 東京都大田区下丸子3丁目30番2号

 【氏名又は名称】 キャノン株式会社

 【代表者】 御手洗 富士夫

 【電話番号】 03-3758-2111

【代理人】

 【識別番号】 100090538

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
 内

 【弁理士】

 【氏名又は名称】 西山 恵三

 【電話番号】 03-3758-2111

【選任した代理人】

 【識別番号】 100096965

 【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会
 社内

 【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100110009

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会
社内

【弁理士】

【氏名又は名称】 青木 康

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100069877

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会
社内

【弁理士】

【氏名又は名称】 丸島 儀一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置及び方法、並びに記憶媒体

【特許請求の範囲】

【請求項 1】 入力データを誤り訂正符号化する第 1 の符号化手段と、
前記入力データを所定の順序に並べ替える並べ替え手段と、
前記並べ替え手段の出力を誤り訂正符号化する第 2 の符号化手段とを具備し、
複数の誤り訂正符号化処理を前記第 1 の符号化手段を用いて並列に処理すること
を特徴とする情報処理装置。

【請求項 2】 前記複数の誤り訂正符号化処理は、少なくとも前記第 1 の符
号化手段を用いて符号化データを生成する第 1 の誤り訂正符号化処理と、前記第
1 の符号化手段と前記並べ替え手段と前記第 2 の符号化手段とを用いて符号化デ
ータを生成する第 2 の誤り訂正符号化処理とを含むことを特徴とする請求項 1 に
記載の情報処理装置。

【請求項 3】 前記第 1 の誤り訂正符号化処理は、畳み込み符号化を実現す
る誤り訂正符号化処理であることを特徴とする請求項 2 に記載の情報処理装置。

【請求項 4】 前記第 2 の誤り訂正符号化処理は、ターボ符号化を実現する
誤り訂正符号化処理であることを特徴とする請求項 2 に記載の情報処理装置。

【請求項 5】 前記第 1 の符号化手段は、前記第 1 の誤り訂正符号化処理を
実現する場合には、前記入力データを非再帰的に畳み込み符号化し、前記第 2 の
誤り訂正符号化処理を実現する場合には、前記入力データを再帰的に畳み込み符
号化することを特徴とする請求項 2～4 の何れかに記載の情報処理装置。

【請求項 6】 前記第 1 の符号化手段は、前記第 2 の誤り訂正符号化処理を
実現する場合、前記第 2 の符号化手段と同様の符号化処理を行なうことを特徴と
する請求項 2～5 の何れかに記載の情報処理装置。

【請求項 7】 前記第 1 の符号化手段は、各誤り訂正符号化処理における拘
束長を変化させることを特徴とする請求項 1～8 の何れかに記載の情報処理装置
。

【請求項 8】 前記第 1 の符号化手段は、前記第 1 の誤り訂正符号化処理に
おける拘束長を、前記第 2 の誤り訂正符号化処理における拘束長よりも長くする

ことを特徴とする請求項 7 に記載の情報処理装置。

【請求項 9】 前記第 1 の符号化手段は、遅延回路の数を制御することにより各誤り訂正符号化処理の拘束長を変化させることを特徴とする請求項 8 に記載の情報処理装置。

【請求項 10】 前記情報処理装置は、前記誤り訂正符号化処理を前記入力データの種類のに応じて選択することを特徴とする請求項 1 ～ 9 の何れかに記載の情報処理装置。

【請求項 11】 前記情報処理装置は、無線通信装置であることを特徴とする請求項 1 ～ 10 の何れかに記載された情報処理装置。

【請求項 12】 入力データを誤り訂正符号化する第 1 の符号化ステップと、
前記入力データを所定の順序に並べ替える並べ替えステップと、
前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、
複数の誤り訂正符号化処理を前記第 1 の符号化ステップを用いて並列に処理することを特徴とする情報処理方法。

【請求項 13】 入力データを誤り訂正符号化する第 1 の符号化手順と、
前記入力データを所定の順序に並べ替える並べ替え手順と、
前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化手順とを有し、
複数の誤り訂正符号化処理を前記第 1 の符号化手順を用いて並列に処理するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 14】 入力データを誤り訂正復号する第 1 の復号手段と、
前記第 1 の復号手段の出力を所定の順序に並べ替える第 1 の並べ替え手段と、
前記第 1 の並べ替え手段の出力を誤り訂正復号する第 2 の復号手段と、
前記第 2 の復号手段の出力を前記第 1 の並べ替え手段に対応する順序に並べ替える第 2 の並べ替え手段とを具備し、
複数の誤り訂正復号処理を前記第 1 の復号手段を用いて並列に処理することを特徴とする情報処理装置。

【請求項 15】 前記複数の誤り訂正復号処理は、前記第 1 の復号手段を用いて前記入力データを復号する第 1 の誤り訂正復号処理と、前記第 1 の復号手段と前記第 2 の復号手段の双方を用いて前記入力データを復号する第 2 の誤り訂正復号処理とを含むことを特徴とする請求項 14 に記載の情報処理装置。

【請求項 16】 前記誤り訂正復号装置は、前記第 1 の誤り訂正復号処理を実現する場合には、前記第 1 の復号手段の出力を復号結果とし、前記第 2 の誤り訂正復号処理を実現する場合には、前記第 2 の並び替え手段の出力を復号結果とすることを特徴とする請求項 15 に記載の情報処理装置。

【請求項 17】 前記第 1 の誤り訂正復号処理は、最尤復号を実現する誤り訂正復号処理であることを特徴とする請求項 15 若しくは 16 に記載の情報処理装置。

【請求項 18】 前記第 2 の誤り訂正復号処理は、ターボ復号を実現する誤り訂正復号処理であることを特徴とする請求項 15 若しくは 16 に記載の情報処理装置。

【請求項 19】 前記第 1 の復号手段は、前記第 2 の誤り訂正復号処理を実現する場合、前記第 2 の復号手段と同様の復号処理を行なうことを特徴とする請求項 15～18 の何れかに記載の情報処理装置。

【請求項 20】 前記第 1 の誤り訂正復号処理と前記第 2 の誤り訂正復号処理とは、拘束長の異なる誤り訂正符号を復号可能であることを特徴とする請求項 15～19 の何れかに記載の情報処理装置。

【請求項 21】 前記第 1 の誤り訂正復号処理は、前記第 2 の誤り訂正復号処理よりも拘束長の長い誤り訂正符号を復号することを特徴とする請求項 20 に記載の情報処理装置。

【請求項 22】 前記情報処理装置は、前記入力データを前記複数の誤り訂正復号処理の夫々を用いて復号することを特徴とする請求項 14～21 の何れかに記載の情報処理装置。

【請求項 23】 前記情報処理装置は、前記入力データのデータ長に応じて、前記入力データを復号する誤り訂正復号処理を選択することを特徴とする請求項 14～21 の何れかに記載の情報処理装置。

【請求項 24】 前記第 1 の復号手段は、ステートメトリックを表す情報を正規化することを特徴とする請求項 14～23 の何れかに記載の情報処理装置。

【請求項 25】 前記第 1 の復号手段は、ステートメトリックを表す情報の上位複数ビットを正規化することを特徴とする請求項 24 の何れかに記載の情報処理装置。

【請求項 26】 前記情報処理装置は、無線通信装置であることを特徴とする請求項 14～25 の何れかに記載された情報処理装置。

【請求項 27】 入力データを誤り訂正復号する第 1 の復号ステップと、
前記第 1 の復号ステップの出力を所定の順序に並べ替える第 1 の並べ替えステップと、

前記第 1 の並べ替えステップの出力を誤り訂正復号する第 2 の復号ステップと

前記第 2 の復号ステップの出力を前記第 1 の並べ替えステップに対応する順序に並べ替える第 2 の並べ替えステップとを有し、

複数の誤り訂正復号処理を前記第 1 の復号ステップを用いて並列に処理することを特徴とする情報処理方法。

【請求項 28】 入力データを誤り訂正復号する第 1 の復号手順と、
前記第 1 の復号手順の出力を所定の順序に並べ替える第 1 の並べ替え手順、
前記第 1 の並べ替え手順の出力を誤り訂正復号する第 2 の復号手順と、
前記第 2 の復号手順の出力を前記第 1 の並べ替え手順に対応する順序に並べ替える第 2 の並べ替え手順とを有し、

複数の誤り訂正復号処理を前記第 1 の復号手順を用いて並列に処理するためのプログラムを格納したことを特徴とする記憶媒体。

【請求項 29】 一部の回路を共用し、複数の誤り訂正符号化処理を実現する符号化手段と、

前記符号化手段の誤り訂正符号化処理を、無線伝送されるデータの種類に応じて選択する制御手段とを具備することを特徴とする情報処理装置。

【請求項 30】 前記複数の誤り訂正符号化処理は、誤り訂正能力の異なる誤り訂正符号化処理を含むことを特徴とする請求項 29 に記載の情報処理装置。

【請求項 31】 前記複数の誤り訂正符号化処理は、ターボ符号化を実現する誤り訂正符号化処理を含むことを特徴とする請求項 30 に記載の情報処理装置。

【請求項 32】 前記複数の誤り訂正符号化処理は、畳み込み符号化を実現する誤り訂正符号化処理を含むことを特徴とする請求項 30 に記載の情報処理装置。

【請求項 33】 前記符号化手段は、前記複数の誤り訂正符号化処理を並列に行うことを特徴とする請求項 29～32 の何れかに記載の情報処理装置。

【請求項 34】 前記符号化手段は、複数の符号化回路を有し、該複数の符号化回路の一つを前記複数の誤り訂正符号化処理で共用することを特徴とする請求項 29～33 の何れかに記載の情報処理装置。

【請求項 35】 前記制御手段は、前記符号化手段の誤り訂正符号化処理を、無線伝送されるデータの伝送レートに応じて選択することを特徴とする請求項 34 の何れかに記載の情報処理装置。

【請求項 36】 前記情報処理装置は、CDMA 方式に準拠した無線通信機能を具備することを特徴とする請求項 29～35 の何れかに記載の情報処理装置。

【請求項 37】 一部の回路を共用し、複数の誤り訂正符号化処理を実現する符号化ステップと、

前記符号化ステップの誤り訂正符号化処理を、無線伝送されるデータの種類に応じて選択することを特徴とする情報処理方法。

【請求項 38】 一部の回路を共用し、複数の誤り訂正復号処理を実現する復号手段と、

無線伝送されたデータを復号するために、前記複数の誤り訂正復号処理を並列に動作させるように制御する制御手段とを具備することを特徴とする情報処理装置。

【請求項 39】 前記複数の誤り訂正復号処理は、誤り訂正能力の異なる誤り訂正符号化データを復号する処理を含むことを特徴とする請求項 38 に記載の情報処理装置。

【請求項 4 0】 前記複数の誤り訂正復号処理は、ターボ復号を実現する誤り訂正復号処理を含むことを特徴とする請求項 3 9 に記載の情報処理装置。

【請求項 4 1】 前記複数の誤り訂正復号処理は、最尤復号を実現する誤り訂正復号処理を含むことを特徴とする請求項 3 9 に記載の情報処理装置。

【請求項 4 2】 前記復号手段は、前記無線伝送されたデータを前記複数の誤り訂正復号処理の夫々を用いて復号することを特徴とする請求項 3 8 ～ 4 1 の何れかに記載の情報処理装置。

【請求項 4 3】 前記復号手段は、複数の復号回路を有し、該複数の復号回路の一つを前記複数の誤り訂正符号化処理で共用することを特徴とする請求項 3 8 ～ 4 1 の何れかに記載の情報処理装置。

【請求項 4 4】 前記復号手段は、前記複数の復号回路、2 つのインタリバを具備することを特徴とする請求項 4 2 の何れかに記載の情報処理装置。

【請求項 4 5】 前記制御手段は、前記無線伝送されたデータのデータ長に応じて、該データを復号する誤り訂正復号処理を選択することを特徴とする請求項 3 8 ～ 4 4 の何れかに記載の情報処理装置。

【請求項 4 6】 前記情報処理装置は、CDMA 方式に準拠した無線通信機能を具備することを特徴とする請求項 3 8 ～ 4 5 の何れかに記載の情報処理装置。

【請求項 4 7】 一部の回路を共用し、複数の誤り訂正復号処理を実現する復号ステップと、

無線伝送されたデータを復号するために、前記複数の誤り訂正復号処理を並列に動作させるように制御する制御ステップとを具備することを特徴とする情報処理方法。

【請求項 4 8】 入力データを誤り訂正復号する第 1 の復号手段と、
前記第 1 の復号手段の出力を所定の順序に並べ替える第 1 の並べ替え手段と、
前記第 1 の並べ替え手段の出力を誤り訂正復号する第 2 の復号手段と、
前記第 2 の復号手段の出力を前記第 1 の並べ替え手段に対応する順序に並べ替える第 2 の並べ替え手段とを具備し、

前記第 1 の復号手段は、ステートメトリックを表す情報を正規化することを特

徴とする情報処理装置。

【請求項 49】 前記第 1 の復号手段は、前記ステートメトリックを表す情報の一部を正規化することを特徴とする請求項 48 に記載の情報処理装置。

【請求項 50】 前記第 1 の復号手段は、前記ステートメトリックを表す情報の上位ビットを正規化することを特徴とする請求項 49 の何れかに記載の情報処理装置。

【請求項 51】 前記第 1 の復号手段は、前記入力データを符号化した誤り訂正符号化アルゴリズムに応じて、前記ステートメトリックを表わす情報に対する正規化処理を変更することを特徴とする請求項 48～50 の何れかに記載の情報処理装置。

【請求項 52】 前記第 1 の復号手段は、前記ステートメトリックを表す情報の最小値を用いて他のステートメトリックを表す情報を正規化することを特徴とする請求項 48～51 の何れかに記載の情報処理装置。

【請求項 53】 前記情報処理装置は、無線通信装置であることを特徴とする請求項 48～52 の何れかに記載された情報処理装置。

【請求項 54】 入力データを誤り訂正符号化する第 1 の符号化ステップと、
前記入力データを所定の順序に並べ替える並べ替えステップと、
前記並べ替えステップの出力を誤り訂正符号化する第 2 の符号化ステップとを有し、

前記第 1 の符号化ステップは、ステートメトリックを表す情報を正規化することを特徴とする情報処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、誤り訂正符号化装置及び方法、誤り訂正復号装置及び方法、情報処理装置、並びに無線通信装置に係り、特にデジタル情報の誤りを訂正するための技術に関するものである。

【 0 0 0 2 】

【従来の技術】

伝送路上のデジタル情報を受信した場合、或いは、フロッピーディスク、コンパクトディスク、磁気テープ等の記録媒体からデジタル情報を再生した場合、そのデジタル情報に誤りが生ずることがある。

【 0 0 0 3 】

このようなデジタル情報の誤りを防止する手法の一つに、誤り訂正技術がある。誤り訂正技術とは、伝送或いは記録するデジタル情報に対して冗長性のある符号化を施し、デジタル情報に誤りが生じた場合であっても正しい情報の復元を可能にする技術である。

【 0 0 0 4 】

【発明が解決しようとする課題】

通常、誤り訂正技術を実現するアルゴリズムは複数種類あり、それらはデジタル情報の種類やその誤り特性、伝送路の種類やその誤り特性、記録媒体の種類やその誤り特性等に応じて選択されている。そのため、複数の誤り訂正符号化アルゴリズムを選択的に使用するシステムを構築する場合、各アルゴリズムに対応する符号化回路や復号回路を個別に用意しなければならず、その結果、システム全体の回路規模を増大させ、コストを増加させてしまう問題がある。

【 0 0 0 5 】

また、複数の誤り訂正符号化アルゴリズムを用いて複数種類のデジタル情報を誤り訂正符号化するシステムでは、各デジタル情報をこれに対応するアルゴリズムを用いて順次符号化していかなければならず、高速化が難しいという問題もある。誤り訂正復号する場合においても同様に、誤り訂正符号化されたデジタル情報の夫々をこれらに対応する誤り訂正復号アルゴリズムを用いて順次復号していかなければならず、高速化が難しい。

【 0 0 0 6 】

以上の背景から本出願の発明の目的は、複数の誤り訂正符号化アルゴリズムを簡単且つ低コストな回路構成で実現する情報処理装置及び方法、並びに記憶媒体を提供することである。

【0007】

又、本出願の発明の目的は、複数の誤り訂正復号アルゴリズムを簡単且つ低コストな回路構成で実現する情報処理装置及び方法、並びに記憶媒体を提供することである。

【0008】

【課題を解決するための手段】

上述のような目的を達成するために、本発明の請求項1に記載の情報処理装置は、入力データを誤り訂正符号化する第1の符号化手段と、前記入力データを所定の順序に並べ替える並べ替え手段と、前記並べ替え手段の出力を誤り訂正符号化する第2の符号化手段とを具備し、複数の誤り訂正符号化処理を前記第1の符号化手段を用いて並列に処理することを特徴とする。

【0009】

又、本発明の請求項12に記載の情報処理方法は、入力データを誤り訂正符号化する第1の符号化ステップと、前記入力データを所定の順序に並べ替える並べ替えステップと、前記並べ替えステップの出力を誤り訂正符号化する第2の符号化ステップとを有し、複数の誤り訂正符号化処理を前記第1の符号化ステップを用いて並列に処理することを特徴とする。

【0010】

又、本発明の請求項13に記載の記憶媒体は、入力データを誤り訂正符号化する第1の符号化手順と、前記入力データを所定の順序に並べ替える並べ替え手順と、前記並べ替えステップの出力を誤り訂正符号化する第2の符号化手順とを有し、複数の誤り訂正符号化処理を前記第1の符号化手順を用いて並列に処理するためのプログラムを格納したことを特徴とする。

【0011】

又、本発明の請求項14に記載の情報処理装置は、入力データを誤り訂正復号する第1の復号手段と、前記第1の復号手段の出力を所定の順序に並べ替える第1の並べ替え手段と、前記第1の並べ替え手段の出力を誤り訂正復号する第2の復号手段と、前記第2の復号手段の出力を前記第1の並べ替え手段に対応する順序に並べ替える第2の並べ替え手段とを具備し、複数の誤り訂正復号処理を前記

第1の復号手段を用いて並列に処理することを特徴とする。

【0012】

又、本発明の請求項27に記載の情報処理方法は、入力データを誤り訂正復号する第1の復号ステップと、前記第1の復号ステップの出力を所定の順序に並べ替える第1の並べ替えステップと、前記第1の並べ替えステップの出力を誤り訂正復号する第2の復号ステップと、前記第2の復号ステップの出力を前記第1の並べ替えステップに対応する順序に並べ替える第2の並べ替えステップとを有し、複数の誤り訂正復号処理を前記第1の復号ステップを用いて並列に処理することを特徴とする。

【0013】

又、本発明の請求項28に記載の記憶媒体は、入力データを誤り訂正復号する第1の復号手順と、前記第1の復号手順の出力を所定の順序に並べ替える第1の並べ替え手順、前記第1の並べ替え手順の出力を誤り訂正復号する第2の復号手順と、前記第2の復号手順の出力を前記第1の並べ替え手順に対応する順序に並べ替える第2の並べ替え手順とを有し、複数の誤り訂正復号処理を前記第1の復号手順を用いて並列に処理するためのプログラムを格納したことを特徴とする。

【0014】

又、本発明の請求項29に記載の情報処理装置は、一部の回路を共用し、複数の誤り訂正符号化処理を実現する符号化手段と、前記符号化手段の誤り訂正符号化処理を、無線伝送されるデータの種類に応じて選択する制御手段とを具備することを特徴とする。

【0015】

又、本発明の請求項37に記載の情報処理方法は、一部の回路を共用し、複数の誤り訂正符号化処理を実現する符号化ステップと、前記符号化ステップの誤り訂正符号化処理を、無線伝送されるデータの種類に応じて選択することを特徴とする。

【0016】

又、本発明の請求項38に記載の情報処理装置は、一部の回路を共用し、複数の誤り訂正復号処理を実現する復号手段と、無線伝送されたデータを復号するた

めに、前記複数の誤り訂正復号処理を並列に動作させるように制御する制御手段とを具備することを特徴とする。

【0017】

又、本発明の請求項47に記載の情報処理方法は、一部の回路を共用し、複数の誤り訂正復号処理を実現する復号ステップと、無線伝送されたデータを復号するために、前記複数の誤り訂正復号処理を並列に動作させるように制御する制御ステップとを具備することを特徴とする。

【0018】

又、本発明の請求項48に記載の情報処理装置は、入力データを誤り訂正復号する第1の復号手段と、前記第1の復号手段の出力を所定の順序に並べ替える第1の並べ替え手段と、前記第1の並べ替え手段の出力を誤り訂正復号する第2の復号手段と、前記第2の復号手段の出力を前記第1の並べ替え手段に対応する順序に並べ替える第2の並べ替え手段とを具備し、前記第1の復号手段は、ステートメトリックを表す情報を正規化することを特徴とする。

【0019】

又、本発明の請求項53に記載の情報処理方法は、入力データを誤り訂正符号化する第1の符号化ステップと、前記入力データを所定の順序に並べ替える並べ替えステップと、前記並べ替えステップの出力を誤り訂正符号化する第2の符号化ステップとを有し、前記第1の符号化ステップは、ステートメトリックを表す情報を正規化することを特徴とする。

【0020】

【発明の実施の形態】

以下、本発明の実施例について図面を用いて詳細に説明する。

【0021】

(第1の実施例)

図1は複数の誤り訂正符号化アルゴリズムと複数の誤り訂正復号アルゴリズムとを選択的に使用する本実施例の無線通信システムの一例を示す図である。

【0022】

図1において、101は無線基地局、102は移動端末A、103は移動端末

Bである。

【0023】

無線基地局101、移動端末A102、移動端末B103のそれぞれは共通の無線インタフェース212を有しており、各無線インタフェース212は符号分割多重接続 (Code Division Multiple Access: 以下、CDMA) 方式による無線通信を行うことができる。

【0024】

CDMA方式とは、移動通信システムに用いられる無線通信方式の一つであり、秘話性、耐干渉性に優れ、従来の方式に比べてユーザ容量の増大、通話品質の向上を実現できる。CDMA方式において送信側は、同一搬送周波数の変調波を、各回線毎に割り当てた固有の拡散符号を用いてスペクトラム拡散変調する。一方、受信側は、各々の符号同期をとることによって回線を識別し、多元接続を実現する。

【0025】

CDMA方式には、複数種類の機能チャンネルが存在し、夫々伝送するデジタル情報の種類や伝送するデジタル情報のもつ機能が異なる。機能チャンネルには、ユーザパケットチャンネル (以下、UPCH)、通信チャンネル (以下、TCH)、制御チャンネル (以下、CCH) 等があり、それらは時分割に無線伝送される。

【0026】

UPCHとは、ユーザによって定義された制御情報やユーザ情報を送信するために使用される機能チャンネルである。TCHとは、音声情報、画像情報等のリアルタイム性のあるユーザ情報、テキスト情報、各種のプログラム情報を送信するために使用される機能チャンネルである。又、CCHとは、制御情報の送受信を行なうための機能チャンネルであり、報知チャンネル (以下、BCCH)、共通制御チャンネル (以下、CCCH)、付随情報チャンネル (以下、ACCH) から構成される。

【0027】

BCCHとは、無線基地局101から移動端末A102、B103にチャンネル構造情報、システム情報等の制御情報を報知するための下り方向のチャンネルであ

る。又、CCCHとは、無線基地局101と移動端末A102（或いはB103）との間のリンクチャンネル確立処理において、接続に必要な制御情報を送受信を行なうためのチャンネルである。

【0028】

CCCHは更に、ページングチャンネル（以下、PCH）と個別セル用チャンネル（以下、SCCH）から構成される。PCHとは、基地局が呼び出しエリアにいる複数の移動端末に対し、同一の情報を一斉に転送するためのチャンネルである。又、SCCHとは、呼び出し対象の移動端末との呼接続に必要な情報を転送するためのチャンネルである。

【0029】

ACCHとは、TCHに付随した双方向のチャンネルであり、呼接続に必要な制御情報、ハンドオフ制御に必要な制御情報、ユーザパケットデータの伝送を行なう。尚、ACCHは、低速付随制御チャンネル（以下、SACCH）、高速付随制御チャンネル（以下、FACCH）から構成される。

【0030】

上述の機能チャンネルにより伝送される各種のデジタル情報は、CRCビットが付加された後、機能チャンネル毎に異なる誤り訂正符号化アルゴリズムを用いて符号化され、1つ以上の無線フレームにフレーム化された後、時分割に無線伝送される。この符号化アルゴリズムには、後述する畳み込み符号化アルゴリズムやターボ符号化アルゴリズムがあり、特に、ACCHによって伝送されるデジタル情報は畳み込み符号化され、TCHによって伝送されるデジタル情報はターボ符号化される。

【0031】

次に、図2を用いて移動端末A102、B103の構成の一例を説明する。ここで、移動端末A102、B103は、例えば携帯電話、モバイルコンピュータ等の携帯型情報端末である。

【0032】

201はマイクロフォンであり、外部の音声を入力し、所定フォーマットの音声情報を生成する。202は撮像部であり、被写体の光学像から所定フォーマッ

トの画像情報を生成する。203はスピーカであり、各種の音声情報をデコードして出力する。204は表示部であり、テキスト情報、画像情報等を表示出力可能なデータフォーマットを変換して表示する。205は外部インタフェースであり、テキスト情報、画像情報、音声情報、プログラム情報等の外部への入出力を管理する。206は入出力端子である。

【0033】

207はデータ処理部であり、マイクロフォン201、撮像部202、外部インタフェース205から供給された音声情報、画像情報、テキスト情報、プログラム情報等のデジタル情報及び制御部213から供給された各種の制御情報を、上述の機能チャンネルにセットし、各機能チャンネルにCRCビットを付加する。又、データ処理部207は、誤り訂正復号回路209から供給された1つ以上の機能チャンネルを音声情報、画像情報、テキスト情報、プログラム情報、制御情報に変換し、スピーカ203、表示部204、外部インタフェース205、制御部213に選択的に供給する。

【0034】

208は誤り訂正符号化回路であり、畳み込み符号化アルゴリズム、ターボ符号化アルゴリズムを含む複数の誤り訂正符号化アルゴリズムを並列に実行し、上述の機能チャンネルを誤り訂正符号化する。209は誤り訂正復号回路であり、軟出力復号アルゴリズム、ターボ復号アルゴリズムを含む複数の誤り訂正復号アルゴリズムを並列に実行し、上述の機能チャンネルを誤り訂正復号する。尚、誤り訂正符号化回路208、誤り訂正復号回路209の詳細な構成及び処理動作については後述する。

【0035】

210は変調部であり、誤り訂正符号化回路208の出力をCDMA方式を用いてデジタル変調する。211は復調部であり、無線インタフェース212の出力をCDMA方式を用いて復調する。212は無線インタフェースであり、無線基地局101との間で無線信号を送受信する。

【0036】

213はマイクロコンピュータを含む制御部であり、移動端末A102（又は

、B103)を構成する各部の動作を制御する。特に、制御部213は、誤り訂正符号化回路208を制御して複数の誤り訂正符号化アルゴリズムの並列処理を実現すると共に、誤り訂正復号回路209を制御して複数の誤り訂正復号アルゴリズムの並列処理を実現する。214はテンキー等を含む操作部である。215は記憶媒体であり、制御部213の読み出し可能な複数種類のプログラムを記憶する。

【0037】

次に、移動端末A102、B103の動作について説明する。

【0038】

まず、送信側の動作について説明する。

【0039】

データ処理部207は、各機能チャネルに対してCRCビットを付加した後、各機能をチャネルを誤り訂正符号化回路209に供給する。誤り訂正符号化回路208は、各機能チャネルを複数の誤り訂正符号化アルゴリズムの何れかを選択的に用いて符号化する。誤り訂正符号化回路208の用いる誤り訂正符号化アルゴリズムは制御部213によって選択される。制御部213は、各機能チャネルの伝送するデジタル情報の伝送レートに応じて、誤り訂正符号化回路208に供給する選択信号をアクティブにするか、非アクティブにするかを選択する。

【0040】

単位時間当たりの伝送容量の高い(即ち、高伝送レートの)デジタル情報を伝送する機能チャネルを符号化する場合、制御部213は選択信号をアクティブとし、短時間の復号処理でも高い訂正能力の得られる誤り訂正符号化アルゴリズムを選択する。このような機能チャネルには、例えば、リアルタイム性のあるデジタル情報(画像情報、音声情報等)を伝送するTCHがある。又、ここで選択される誤り訂正符号化アルゴリズムの一つには後述するターボ符号化アルゴリズムがあり、それに対応する誤り訂正復号アルゴリズムには後述するターボ復号アルゴリズムがある。

【0041】

一方、又、単位時間当たりの伝送容量の少ない(即ち、低伝送レートの)ディ

デジタル情報を伝送する機能チャネルを符号化する場合、制御部 213 は選択信号を非アクティブとし、複雑な復号処理を必要としない誤り訂正符号化アルゴリズムを選択する。このような機能チャネルには、例えば、制御情報を伝送する CCH (特に、ACCH) がある。又、ここで選択される誤り訂正符号化アルゴリズムの一つには後述する畳み込み符号化アルゴリズムがあり、それに対応する誤り訂正復号アルゴリズムには後述する軟出力復号アルゴリズムがある。

【0042】

誤り訂正符号化回路 208 は、この選択信号に従って内部構成を切り替え、複数の誤り訂正符号化アルゴリズムを並列に実行する。誤り訂正符号化された機能チャネルは、変調部 210 及び無線インタフェース 212 において 1 つ以上の無線フレームにフレーム化された後、時分割に無線伝送される。

【0043】

次に、受信側の動作の一例について説明する。

【0044】

復調部 211 は、1 つの機能チャネルを構成する無線フレームのフレーム長を検査し、その検査結果を制御部 213 に通知する。制御部 213 は、フレーム長に応じてその機能チャネルを復号する誤り訂正復号アルゴリズムを選択すると共に、誤り訂正復号回路 209 に供給する選択信号をアクティブにするか、非アクティブにするかを選択する。誤り訂正復号回路 209 は、この選択信号に従って内部構成を切り替え、複数の誤り訂正復号アルゴリズムを並列に実行し、複数の機能チャネルを時分割に同時に復号する。例えば、CCH の一つである ACCH を復号する場合、制御部 213 は、選択信号を非アクティブとし、軟出力復号アルゴリズムを選択する。又、TCH を復号する場合、制御部 213 は、選択信号をアクティブとし、ターボ復号アルゴリズムを選択する。

【0045】

データ処理部 207 は復号結果の CRC ビットをチェックし、制御部 213 はそのチェック結果を用いて復号結果が正しいか否かを判別する。正しくなかった場合、誤り訂正復号回路 209 は別の誤り訂正復号アルゴリズムによって機能チャネルを再度復号する。

【0046】

このように制御することによって、複数の誤り訂正符号化アルゴリズムの何れかによって符号化され、無線伝送された機能チャネルを正しく復号することができる。

【0047】

次に、受信側の動作の他の例について説明する。

【0048】

復調部211は、1つ以上の無線フレームからなる機能チャネルをバッファに保持し、各機能チャネルを順次誤り訂正復号回路209に供給する。誤り訂正復号回路209は、制御部213からの選択信号に従って内部構成を切り替え、1つの機能チャネルを複数の誤り訂正復号アルゴリズムを用いて並列に復号する。各復号アルゴリズムによる復号結果は、データ処理部207に供給される。データ処理部207は各復号結果のCRCビットをチェックし、制御部213はそのチェック結果を用いて何れの復号結果が正しいかを判別する。全ての復号結果が正しくないと判別された場合、制御部213は機能チャネルを正しく受信できなかったと判断し、基地局101に対して再送要求を発行する。

【0049】

例えば、1つの機能チャネルをビタビ復号アルゴリズムとターボ復号アルゴリズムの双方を用いて並列に復号した後、データ処理部207は各復号アルゴリズムの復号結果に対してCRCビットのチェックを行う。ビタビ復号アルゴリズムによる復号結果が正しく、ターボ復号アルゴリズムによる復号結果が誤っていると判別された場合、ビタビ復号アルゴリズムによる復号結果が選択される。このように制御することによって、複数の誤り訂正符号化アルゴリズムの何れかによって符号化され、無線伝送された無線パケットを正しく復号することができる。

【0050】

次に、本実施例の誤り訂正符号化回路208が実現する複数の誤り訂正符号化アルゴリズムと、本実施例の誤り訂正復号回路209が実現する複数の誤り訂正復号アルゴリズムとについて説明する。

【0051】

(1) 畳み込み符号化アルゴリズム

図3(a)、(b)は、誤り訂正符号化アルゴリズムの一つである畳み込み符号化アルゴリズムの一例について説明する図である。

【0052】

畳み込み符号とは、ある時点で入力されたビット列だけでなく、その時点より以前に入力されたビット列の影響を受けた符号化データを出力する符号化方式である。

【0053】

図3(a)は、非再帰的な畳み込み符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路300は、一単位時間の遅延回路301及び302、mod 2の加算回路303及び304から構成される。

【0054】

畳み込み符号化回路300は、複数のビット単位に入力されるデジタル情報を入力データaとして加算回路303、304に供給する。加算回路303は、入力データaと遅延回路302の出力との和を符号化データb1として出力し、加算回路304は、入力データa、遅延回路301、302の出力の和を符号化データb2として出力する。

【0055】

図3(b)は、再帰的な畳み込み符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路310は、一単位時間の遅延回路305及び306、mod 2の加算回路307及び308から構成される。本回路310は、再帰型畳み込み符号化回路と呼ばれ、後述するターボ符号化アルゴリズムを実現する2つの符号化回路において用いられる。

【0056】

再帰型畳み込み符号化回路310は、複数のビット単位に入力されるデジタル情報を入力データaとして加算回路307に供給する。加算回路307は、入力データaと遅延回路306の出力との和（即ち、フィードバック和）を演算し

、その演算結果を遅延回路 305 及び加算回路 308 に入力する。加算回路 308 は、加算回路 307 のフィードバック和、遅延回路 305 及び 306 の出力を加算し、その結果を符号化データ b3 として出力する。

【0057】

(2) 軟出力復号アルゴリズム

図 4 は、誤り訂正復号アルゴリズムの一つである軟出力復号アルゴリズムを実現するために必要な誤り訂正復号回路の一例を示すブロック図である。以下では、軟出力復号アルゴリズムの一つである軟入力軟出力ビタビ復号アルゴリズムを例にとって復号回路 400 の構成及び動作を説明する。

【0058】

軟出力復号回路 400 は、符号化回路 401、符号化回路 401 で生成された符号ビットと入力データ c との相関の強さを示す値であるブランチメトリックを求めるブランチメトリック演算回路 402、ACS (Add Compare Select) 回路 403、全てのパスのパスメトリックを格納するパスメトリックメモリ 404、ACS 回路 403 により選択された生き残りパスを示すパス選択情報を格納するパスメモリ 405、最尤パスと最尤パスに対抗する対抗パスとを比較して最尤パスの尤度情報を生成するトレースバック回路 406 から構成される。

【0059】

次に、図 4 に示す復号回路の動作を説明する。

【0060】

ブランチメトリック演算回路 402 は、一単位時間毎に、符号化回路 401 の出力と入力データ c とを比較し、各ブランチにおけるブランチメトリックを求める。ACS 回路 403 は、過去のある状態のステートメトリックに、該過去のある状態から現在のある状態に至るブランチのブランチメトリックを加算し、該現在のある状態に至るパスのパスメトリックを求める。この演算結果は、パスメトリックメモリ 404 に格納される。

【0061】

ACS 回路 403 はまた、各状態に至る複数のパスのパスメトリックを比較し、その中から入力データ c との相関がより強いと推定されるパスを（即ち、生き

残りパス)を選択する。このとき選択された生き残りパスのパスメトリックはパスメトリックメモリ404に格納され、そのパスを示すパス選択情報はパスメモリ405に格納される。ここで、パスメトリックメモリ404には、生き残りパスと同時に選択されなかったパスのパスメトリックも格納する。ACS回路403は最終的に、ある時点において最も相関が強いと推定されるパス(即ち、最尤パス)を決定する。

【0062】

トレースバック回路406は、パスメモリ405に格納されたパス選択情報を用いて最尤パスをたどると共に、この最尤パスのパスメトリックと最尤パスに対応する対抗パスのパスメトリックとを比較し、最尤パスの尤度を演算する。ここで尤度は、例えば各時点におけるパスメトリックの差の $1/2$ の和により演算される。トレースバック回路406は、最尤パスと尤度との積を復号結果dとして出力する。

【0063】

尚、図4の軟出力復号回路400は一例であって、これに限るものではない。例えば、符号化回路401を、符号化回路401の入出力を対応付けたテーブルにより実現することも可能である。

【0064】

(3) ターボ符号化アルゴリズム

図5は、誤り訂正符号化アルゴリズムの一つであるターボ符号化アルゴリズムを実現するために必要な誤り訂正符号化回路の一例を示すブロック図である。本回路500は、ランダム或いは所定の規則に基づき入力データxを並べ替えるインターリーバ501、2つの畳み込み符号化回路502、503によって構成されている。ここで、畳み込み符号化回路502、503には、例えば、図3(b)に示す再帰型畳み込み符号化回路310が用られる。

【0065】

ターボ符号化回路500は、入力された複数ビットのデジタル情報を3つの出力データ(図5のx、y1、y2)に変換する。3つの出力データとは、①入力データxをそのまま出力した結果(即ち、出力データx)、②入力データxを

畳み込み符号化した結果（即ち、出力データ y_1 ）、③インターリーバ 501 によってビット順を並べ替えた入力データ x を畳み込み符号化した結果（即ち、出力データ y_2 ）であり、これら 3 つの出力データからなる情報系列がターボ符号化データとなる。ターボ符号化アルゴリズムは、電波の強度が激しく変動する状態（即ち、フェージング）に強く、本実施例の無線通信システムのような移動体通信システムに最適な符号化アルゴリズムである。

【0066】

（4）ターボ復号アルゴリズム

図 6 は、誤り訂正復号アルゴリズムの一つであるターボ復号アルゴリズムを実現するために必要な誤り訂正復号回路の一例を示すブロック図である。本回路 600 は、上述の軟出力復号アルゴリズム等を用いて入力データを軟出力復号する軟出力復号回路 601、603、ランダム或いは所定の規則に基づき軟出力復号回路 601 の出力を並べ替えるインターリーバ 602、インターリーバ 602 に対応するデインターリーバ 604、アナログ／デジタル変換回路（A/D 変換回路）605 により構成される。

【0067】

ここで、軟出力復号回路 601、603 は、アナログ値或いは三値以上に量子化されたデジタル値を入力データとしてメトリック演算を行い、復号ビット毎に、そのビットが「1」（或いは「0」）である確からしさを示す値（尤度）を求め、その尤度を含んだ復号結果を出力する。

【0068】

図 6 において、受信或いは記録媒体から読み出されたターボ符号化データ（即ち、入力系列 X 、 Y_1 、 Y_2 ）は、ターボ復号回路 600 に入力される。ここで、入力系列 X 、 Y_1 、 Y_2 は、それぞれ図 5 に示す出力系列 x 、 y_1 、 y_2 に対応する。

【0069】

入力系列 X 、 Y_1 は、軟出力復号回路 601 に供給され、復号される。インターリーバ 602 は、軟出力復号回路 601 の復号結果をインターリーブし、その結果を軟出力復号回路 603 に供給する。軟出力復号回路 603 は、インターリ

ーバ602の出力と入力系列Y2とを用いて軟出力復号を行い、その復号結果をデインターリーバし、その結果を軟出力復号回路601に供給する。

【0070】

ターボ復号回路600は、以上の処理を所定回数繰り返した後、デインターリーバ604の出力をA/D変換回路605に供給する。A/D変換回路605は、入力情報を二値化し、その結果を入力系列X、Y1、Y2（即ち、ターボ符号化データ）の復号結果として出力する。

【0071】

次に、図7を用いて本実施例の誤り訂正符号化回路208の構成について説明する。

【0072】

誤り訂正符号化回路208は、インターリーバ701、符号化回路702、703、選択信号により制御されるスイッチ704、705、デジタル情報を入力する入力端子706、本回路208の動作を制御する選択信号を入力する入力端子707により構成される。

【0073】

選択信号がアクティブの場合、スイッチ704、705がオンとなり、符号化回路702の内部構成が切り替わり、誤り訂正符号化回路208は図5に示すターボ符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。その結果、誤り訂正符号化回路208は、3つの出力データx、y1、y2からなるターボ符号化データを出力する。尚、符号化回路702の内部構成については後述する。

【0074】

ここで、出力データxは入力データxであり、出力データy1は符号化回路702が入力データxを畳み込み符号化した結果であり、出力データy2は符号化回路703がインターリーブされた入力データxを畳み込み符号化した結果である。

【0075】

又、選択信号が非アクティブの場合、スイッチ704、705がオフとなり、

符号化回路 7 0 2 の内部構成が切り替わり、誤り訂正符号化回路 2 0 8 は図 3 (a) に示す非再帰型畳み込み符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。これにより、誤り訂正符号化回路 2 0 8 は、畳み込み符号化データである出力データ y_1 のみを出力する。

【 0 0 7 6 】

図 8 は、本実施例の誤り訂正符号化回路 2 0 8 の他の一例を示すブロック図である。図 8 に示す誤り訂正符号化回路 2 0 8 においても、上述のターボ符号化アルゴリズムと畳み込み符号化アルゴリズムの双方を実現することができる。尚、図 8 において、図 7 と同様の構成要素については同一の符号を付す。

【 0 0 7 7 】

本回路 2 0 8 は、インターリーバ 7 0 1、符号化回路 7 0 2、7 0 3、選択回路 8 0 1 により構成される。ここで、選択回路 8 0 1 は、選択信号に応じて、データ x 、符号化回路 7 0 2 にて生成されるデータ y_1 、符号化回路 7 0 3 にて生成されるデータ y_2 の中から必要なデータを選択的に出力する。

【 0 0 7 8 】

選択信号がアクティブの場合、符号化回路 7 0 2 の内部構成が切り替わり、誤り訂正符号化回路 2 0 8 は上述のターボ符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。具体的に、選択回路 8 0 1 は 3 つのデータ x 、 y_1 、 y_2 の全てを選択して出力する。これにより、誤り訂正符号化回路 2 0 8 は、3 つのデータ x 、 y_1 、 y_2 からなるターボ符号化データを出力する。

【 0 0 7 9 】

又、選択信号が非アクティブの場合、符号化回路 7 0 2 の内部構成が切り替わり、誤り訂正符号化回路 2 0 8 は上述の畳み込み符号化アルゴリズムを実現する誤り訂正符号化回路として動作する。具体的に、選択回路 8 0 1 はデータ系列 y_1 のみを選択し、出力する。これにより、誤り訂正符号化回路 2 0 8 は、畳み込み符号化データであるデータ y_1 のみを出力する。

【 0 0 8 0 】

次に、図 9 を用いて符号化回路 7 0 2 の内部構成の一例を説明する。

【0081】

符号化回路702は、選択信号により制御されるスイッチ901、2つの加算回路902、905と2つの遅延回路903、904から構成される第1のブロック、加算回路905と3つの遅延回路906、907、908から構成される第2のブロックにより構成される。

【0082】

選択信号がアクティブの場合、スイッチ901はA側端子に接続され、入力系列xは加算回路902に入力される。加算回路902には、入力系列xと遅延回路904の出力とが入力され、その演算結果は遅延回路903、加算回路905に供給される。遅延回路903は、入力データを所定の単位時間の遅延した後、遅延回路904及び加算回路905に供給する。遅延回路904も同様に、入力データを所定の単位時間の遅延した後、加算回路902及び905に供給する。加算回路905では、加算回路902、遅延回路903、904の出力を加算し、その加算結果を出力データy1として出力する。

【0083】

このように選択信号がアクティブの場合、符号化回路702は図3(b)に示すように、再帰的な畳み込み符号化アルゴリズムを実現する回路として動作する。この時、符号化回路702は、符号化回路703と同様の回路構成となる。ここで、符号化回路702は、拘束長3、符号化率1/1となる。尚、拘束長、符号化率はこれに限るものではなく、他の値をとるように符号化回路702を構成してもよい。

【0084】

又、選択信号が非アクティブの場合、スイッチ901はB側端子に接続され、入力系列xは遅延回路906及び加算回路905に入力される。遅延回路906は、入力データを所定の単位時間の遅延した後、遅延回路907及び加算回路905に供給する。遅延回路907は、入力データを所定の単位時間の遅延した後、遅延回路908に供給する。遅延回路908は、入力データを所定の単位時間の遅延した後、加算回路905に供給する。加算回路905では、入力系列x、遅延回路906、908の出力を加算し、その加算結果を出力データy1として

出力する。

【0085】

このように選択信号が非アクティブの場合、符号化回路702は図3(a)に示すように、非再帰的な畳み込み符号化アルゴリズムを実現する回路として動作する。ここで、符号化回路702は、拘束長4、符号化率 $1/2$ となる。尚、拘束長、符号化率はこれに限るものではなく、他の値をとるように符号化回路702を構成してもよい。

【0086】

このような構成によって、符号化回路702は、選択信号の状態に応じて訂正能力の異なる複数種類の誤り訂正符号化アルゴリズムを実現する。

【0087】

次に、図10を用いて誤り訂正符号化回路208の処理動作について説明する。

【0088】

図10(a)は選択信号がアクティブの場合における符号化回路702の動作状態を示す図であり、図10(b)はインタリーバ701と符号化回路703の動作状態を示す図である。又、図10(c)は選択信号が非アクティブの場合における符号化回路702の動作状態を示す図である。

【0089】

選択信号がアクティブの場合、符号化回路702内部のスイッチ901はA側端子に接続され、符号化回路702は入力データxを再帰的な畳み込み符号化アルゴリズムに従って符号化する(第1の誤り訂正符号化処理。図10の1001)。このときインタリーバ701は入力データxを所定の規則に従って並べ替え、その結果を符号化回路703に供給する。また符号化回路703は、再帰的な畳み込み符号化アルゴリズムに従ってインタリーバ701の出力を符号化する(第2の誤り訂正符号化処理。図10の1002, 1003)。

【0090】

第1の誤り訂正符号化処理が終了した後、選択信号は非アクティブに切り換わり、符号化回路702内部のスイッチ901はB側端子に接続され、符号化回路

702の内部構成が変化する。そして符号化回路702は、符号化回路703が第2の誤り訂正符号化処理を行っている期間において、入力データxを非再帰的な畳み込み符号化アルゴリズムに従って符号化する（第3の誤り訂正符号化処理。図10の1004）。

【0091】

第3の誤り訂正符号化処理が終了した後、選択信号はアクティブに切り換わり、スイッチ901はA側端子に接続され、符号化回路702は再び第1の誤り訂正符号化処理を実行する。

【0092】

以上の手順により本実施例の誤り訂正符号化回路208は、選択信号がアクティブの場合には、上述のターボ符号化アルゴリズムを実現する誤り訂正符号化回路として動作し、非アクティブの場合には、非再帰型畳み込み符号化アルゴリズムを実現する誤り訂正符号化回路として動作すると共に、誤り訂正能力の異なる2つの符号化アルゴリズムを並列に（言い換えれば、時分割で同時に）処理することができ、各種の機能チャネルを効率良く、高速に誤り訂正符号化することができる。

【0093】

次に、図11を用いて本実施例の誤り訂正復号回路209の構成について説明する。

【0094】

本回路209は、復号回路1101、1103、ランダム或いは所定の規則に基づき復号回路1101の出力を並べ替えるインターリーバ1102、インターリーバ1102に対応するデインターリーバ1104、アナログ／デジタル（A/D）変換回路1105、選択信号による制御を受けて選択信号がアクティブの時にオンとなるスイッチ1107、1108、選択信号による制御を受けて選択信号がアクティブとなる場合にはB側に接続し、非アクティブとなる場合にはA側に接続するスイッチ1107、本回路209の動作を制御する選択信号を入力する入力端子1109、データXを入力する入力端子1110、データY1を入力する入力端子1111、データY2を入力する入力端子1112により構成

される。

【0095】

ここで、復号回路1101、1103は、上述の軟出力復号回路601、603と同様に、入力情報に対してメトリック演算を行い、ビット毎に、そのビットが「1」（或いは「0」）である確からしさを示す値（尤度）を求め、その尤度を復号結果と共に出力する。

【0096】

選択信号がアクティブの場合、復号回路1101の内部構成が切り替わり、誤り訂正復号回路209は図6に示すターボ復号アルゴリズムを実現する誤り訂正復号回路として動作する。この場合、誤り訂正復号回路209は誤り訂正符号化回路208にて生成されたターボ符号化データを復号する。

【0097】

又、選択信号が非アクティブの場合、復号回路1101の内部構成が切り替わり、誤り訂正復号回路209は図4に示す軟出力復号アルゴリズムを実現する誤り訂正符号化回路として動作する。この場合、誤り訂正復号回路209は誤り訂正符号化回路208にて生成された畳み込み符号化データを復号する。

【0098】

次に、図12を用いて復号回路1101の内部構成の一例を説明する。

【0099】

復号回路1101は、符号化回路1201、1202、符号化回路1201、1202で生成された符号ビットと入力データとの相関の強さを示す値であるブランチメトリックを求めるブランチメトリック演算回路1203、ACS (Add Compare Select) 回路1204、全てのパスのパスメトリックを格納するパスメトリックメモリ1205、1206、ACS回路1204により選択された生き残りパスを示すパス選択情報を格納するパスメモリ1207、1208、最尤パスと最尤パスに対抗する対抗パスとを比較して最尤パスの尤度情報を生成するトレースバック回路1209から構成される。

【0100】

選択信号がアクティブの場合、復号回路1101は符号化回路1201、パス

メトリックメモリ 1205、パスメモリ 1207 を用いて入力データを復号し、ターボ復号回路を構成する軟出力復号回路の一つとして動作する。この時、復号回路 1101 は、復号回路 1103 と同様の回路構成となる。又、選択信号が非アクティブの場合、復号回路 1101 は符号化回路 1202、パスメトリックメモリ 1206、パスメモリ 1208 を用いて入力データを例えばビタビ復号する。ここで、ブランチメトリック演算回路 1203、ACS 回路 1204、トレースバック回路 1209 の夫々は、複数の誤り訂正復号アルゴリズムにおいて共用される。

【0101】

このような構成によって、復号回路 1101 は、選択信号の状態に応じて訂正能力の異なる複数種類の誤り訂正復号アルゴリズムを実現する。

【0102】

次に、図 13 を用いて誤り訂正復号回路 209 の処理動作について説明する。

【0103】

図 13 (a) は選択信号がアクティブの場合における復号回路 1101 の動作状態とインターリーバ 1102 の動作状態とを示す図であり、図 13 (b) は復号回路 1103 の動作状態とデインターリーバ 1104 の動作状態とを示す図である。又、図 13 (c) は選択信号が非アクティブの場合における復号回路 1101 の動作状態を示す図である。

【0104】

選択信号がアクティブの場合、誤り訂正復号回路 209 は、受信された或いは記録媒体から読み出されたターボ符号化データ（即ち、入力データ X、Y1、Y2）を入力する。ここで、入力データ X、Y1、Y2 は、それぞれ図 7 又は 8 に示す出力データ x、y1、y2 に対応する。

【0105】

入力データ X、Y1 は、復号回路 1101 に供給され、復号される（第 1 の誤り訂正復号処理。図 13 の 1301）。インターリーバ 1102 は、復号回路 1101 の復号結果とビット毎の尤度とをインターリーブし、その結果を復号回路 1103 に供給する（図 13 の 1302）。復号回路 1103 は、インターリー

バ 1102 の出力と入力データ Y2 とを用いて軟出力復号を行う（第 2 の誤り訂正復号処理。図 13 の 1303）。その復号結果と尤度とは、デインタリーバ 1104 に供給され、デインタリーブされる（図 13 の 1304）。デインタリーバ 1104 の出力は、スイッチ 1108 を介して、復号回路 1101 に供給される。

【0106】

上述の処理を所定回数繰り返した後、A/D 変換回路 1105 は、デインタリーバ 1104 の出力を二値化し、その結果を入力データ X、Y1、Y2（即ち、ターボ符号化データ）の復号結果として出力する。

【0107】

又、選択信号が非アクティブの場合、誤り訂正復号回路 209 は、例えば図 4 の軟出力復号回路 400 と同様の処理を行なう。

【0108】

この場合、スイッチ 1106 はオフとなり、誤り訂正復号回路 209 には、入力データ Y1 のみが入力される。復号回路 1101 は、インタリーバ 1102、復号回路 1103、デインタリーバ 1104 の夫々が動作する期間において、入力データ Y1 を軟出力復号し、その復号結果をスイッチ 1107 に供給する（第 3 の誤り訂正復号処理。図 13 の 1305～1307）。ここで、スイッチ 1107 は A 側に接続されており、復号回路 1101 の出力は A/D 変換回路 1105 に供給される。A/D 変換回路 1105 は、復号回路 1101 の出力を二値化し、その結果を入力データ Y1 の復号結果として出力する。

【0109】

以上の手順により本実施例の誤り訂正復号回路 209 は、選択信号がアクティブの場合には、上述のターボ復号アルゴリズムを実現する誤り訂正符号化回路として動作し、非アクティブの場合には、軟出力復号アルゴリズムを実現する誤り訂正復号回路として動作すると共に、誤り訂正能力の異なる 2 つの復号アルゴリズムを並列に（言い換えれば、時分割で同時に）処理することができ、各種の機能チャネルを効率良く、高速に誤り訂正復号することができる。

【0110】

(第2の実施例)

第1の実施例では、誤り訂正符号化回路208の一部を共用して、情報系列y1のみを出力とする畳み込み符号化アルゴリズムと情報系列x、y1、y2を出力とするターボ符号化アルゴリズムとを並列に処理する例について説明したが、誤り訂正符号化回路208が並列に効率良く処理する符号化アルゴリズムはこの組合せに限るものではない。

【0111】

例えば、誤り訂正符号化回路208のスイッチ704を常にオンとすることにより、選択信号がアクティブの場合には、第1の実施例と同様のターボ符号化アルゴリズムを実現し、選択信号が非アクティブの場合には、情報系列x、y1を出力とする第2の畳み込み符号化アルゴリズム（第1の実施例の畳み込み符号化アルゴリズムとは訂正能力が異なる）を実現する符号化回路を構成することもできる。この時、ターボ符号化アルゴリズムは図10の(a)，(b)に示すタイミングで処理され、第2の畳み込み符号化アルゴリズムは図10の(c)に示すタイミングで処理される。

【0112】

これにより、誤り訂正符号化回路208は、符号長は長くなるが、訂正能力をより向上させた畳み込み符号化アルゴリズムを実現することができ、且つその符号化アルゴリズムをターボ符号化アルゴリズムと並列に（言い換えれば、それら2つの符号化アルゴリズムを時分割で同時に）処理することができ、各種の機能チャネルを効率良く、高速に誤り訂正符号化することができる。

【0113】

又、第1の実施例では、誤り訂正復号回路209の一部を共用して、情報系列Y1のみを復号する軟出力復号アルゴリズムと情報系列X、Y1、Y2を復号するターボ復号アルゴリズムとを並列に効率良く処理する例について説明したが、誤り訂正復号回路209が並列に処理する復号アルゴリズムはこの組合せに限るものではない。

【0114】

例えば、誤り訂正復号回路 209 のスイッチ 1106 を常にオンとすることにより、選択信号がアクティブの場合には、第 1 の実施例と同様のターボ復号アルゴリズムを実現し、選択信号が非アクティブの場合には、情報系列 X、Y1 を復号する第 2 の軟出力復号アルゴリズム（第 1 の実施例の軟出力復号アルゴリズムとは訂正能力が異なる）を実現する復号回路を構成することもできる。この時、ターボ復号アルゴリズムは図 13 の（a）、（b）に示すタイミングで処理され、第 2 の軟出力復号アルゴリズムは図 13 の（c）に示すタイミングで処理される。

【0115】

これにより、誤り訂正復号回路 209 は、情報系列 X、Y1 を復号する軟出力復号アルゴリズムを実現することができ、且つその復号アルゴリズムをターボ復号アルゴリズムと並列に（言い換えれば、それら 2 つの復号アルゴリズムを時分割で同時に）処理することができ、各種の機能チャネルを効率良く、高速に誤り訂正復号することができる。

【0116】

（第 3 の実施例）

第 3 の実施例では、上述の実施例で説明した復号回路 1101 の他の例について説明する。

【0117】

図 14 は、本実施例の誤り訂正復号回路 209 の具備する復号回路 1101 の他の例を示すブロック図である。

【0118】

図 14 において、1401、1402 は符号化回路である。1402 はブランチメトリック演算回路であり、符号化回路 1401、1402 で生成された符号ビットと入力データとの相関の強さを示す値であるブランチメトリックを求める。1404 は ACS（Add Compare Select）回路である。1405、1406 はパスメトリックメモリであり、全てのパスのパスメトリックを格納する。1407、1408 はパスメモリであり、ACS 回路 1404 により選択された生き残

りパスを示すパス選択情報を格納する。1409トレースバック回路であり、最尤パスと最尤パスに対抗する対抗パスとを比較して最尤パスの尤度情報を生成する。ここで、符号化回路1401、1402は、入出力を対応付けたテーブルにより実現することも可能である。

【0119】

又、図14において、1410は正規化回路であり、ACS回路1404により選択された各状態（ステート）のステートメトリックをオーバーフローしないように正規化する。1411は遅延回路であり、各状態のステートメトリックの一部を遅延させる。1412はステートメトリックメモリであり、正規化したステートメトリックを記憶する。

【0120】

選択信号がアクティブの場合、復号回路1101は符号化回路1401、パスメトリックメモリ1405、パスメモリ1407を用いて入力データを復号し、ターボ復号回路を構成する軟出力復号回路の一つとして動作する。この時、復号回路1101は、復号回路1103と同様の回路構成となる。又、選択信号が非アクティブの場合、復号回路1101は符号化回路1402、パスメトリックメモリ1406、パスメモリ1408を用いて入力データを例えばビタビ復号する。ここで、ブランチメトリック演算回路1403、ACS回路1404、トレースバック回路1409、正規化回路1410、遅延回路1411、ステートメトリックメモリ1412の夫々は、複数の誤り訂正復号アルゴリズムにおいて共用される。

【0121】

このような構成によって、復号回路1101は、選択信号の状態に応じて訂正能力の異なる複数種類の誤り訂正復号アルゴリズムを実現する。

【0122】

次に、図14を用いて復号回路1101の動作を説明する。

【0123】

ブランチメトリック演算回路1402は、一単位時間毎に、符号化回路1401（又は、符号化回路1402）の出力と入力データとを比較し、各ブランチに

おけるブランチメトリックを求める。ACS回路1404は、過去のある状態のステートメトリックをステートメトリックメモリ1412から読み出し、そのステートメトリックに過去のある状態から現在のある状態に至るブランチのブランチメトリックを加算し、現在のある状態に至るパスのパスメトリックを求める。

【0124】

次にACS回路1404は、同じ状態に至る複数のパスのパスメトリックを比較し、その中から入力データとの相関がより強いと推定されるパスを（即ち、生き残りパス）を選択する。この生き残りパスが現在のある状態の新たなステートメトリックとなり、次のある状態のパスメトリックはこのステートメトリックを用いて演算される。このとき選択された生き残りパスのパスメトリックはパスメトリックメモリ1405（又は、パスメトリックメモリ1406）に格納され、そのパスを示すパス選択情報はパスメモリ1407（又は、パスメモリ1408）に格納される。ここで、パスメトリックメモリ1405（又は、パスメトリックメモリ1406）は、生き残りパスと同時に選択されなかったパスのパスメトリックも格納する。

【0125】

各状態のステートメトリックの上位 m ビットは正規化回路1410に供給され、そのステートメトリックの下位 n ビットは遅延回路1411に供給される。例えば、ステートメトリックの情報量を16ビット（ $m+n=16$ ）とし、正規化回路1410に供給されるビット数を2ビット（ $m=2$ ）、遅延回路1411に供給されるビット数を14ビット（ $n=14$ ）とする場合について説明する。

【0126】

正規化回路1410は、各状態のステートメトリックの上位2ビットから最小値を求め、全ての入力値からその最小値を減算し、それらを正規化する。正規化された上位2ビットは、遅延回路1411で遅延された下位14ビットと結合されてステートメトリックメモリ1412に格納される。

【0127】

このように、各状態のステートメトリックを正規化することによって、ステートメトリックメモリ1412の記憶容量や、ステートメトリックの演算に必要な

配線数を大幅に削減でき、消費電力を抑えることができる。更に、ステートメトリックの情報量を大きくしなくても、ステートメトリックやパスメトリックを正確に評価することもできる。

【0128】

尚、正規化回路 1410 に供給されるビット数 m は、2 ビット ($m=2$) に限るものではない。 m の値を 2 よりも大きくすることによって、ステートメトリックの情報量をより小さくすると同時に、正規化処理における破綻（即ち、正規化しているがオーバーフローしてしまう）の確率を極めて小さくすることもできる。又、 m の値は、入力データを符号化した誤り訂正符号化アルゴリズムの符号化率に応じて最適となるように選択することも可能である。例えば、単位時間当りのブランチメトリックの値は、符号化率が低くなるにほど大きくなる。従って、入力データの符号化率が低くなるほど m の値を大きくすることによって、ステートメトリックの情報量の増加を防止すると同時に、正規化処理における破綻の確率を極めて小さくすることができる。

【0129】

以上の手順を繰り返し行うことにより、ACS 回路 1404 は、各時点における各状態のステートメトリックを求め、最終的にはある時点において最も相関が強いと推定されるパス（即ち、最尤パス）を決定する。

【0130】

トレースバック回路 1409 は、パスメモリ 1407（又は、パスメモリ 1408）に格納されたパス選択情報を用いて最尤パスをたどると共に、この最尤パスのパスメトリックと最尤パスに対応する対抗パスのパスメトリックとを比較し、最尤パスの尤度を演算する。ここで尤度は、例えば各時点におけるパスメトリックの差の $1/2$ の和により演算される。トレースバック回路 1409 は、最尤パスと尤度との積を復号結果として出力する。

【0131】

次に、本実施例の正規化回路 1410 の内部構成について図 15 を用いて説明する。本実施例では、復号回路 1101 が 4 状態の符号化データを復号する回路として動作する場合について説明する。この状態数は、復号する符号化データの

符号化アルゴリズムに応じて異なる。

【0132】

図15において、1501、1503、1505は比較回路であり、1502、1504、1506はセクタ回路である。1507～1511は減算回路である。Input 0～3の夫々は、ある時点における各状態のステートメトリックの上位2ビットである。Output 0～3に夫々は、各状態のステートメトリックの上位2ビットを正規化した結果であり、これらの値が遅延回路1411から出力される各状態のステートメトリックの下位14ビットと結合されてステートメトリックメモリ1412に格納される。

【0133】

第1の状態のステートメトリックの上位2ビット (Input 0) 及び第2の状態のステートメトリックの上位2ビット (Input 1) は、比較回路1501とセクタ回路1502に供給される。セクタ回路1502は、比較回路1501の出力に応じて小さい方の値を選択し、その選択結果を比較回路1505、セクタ回路1506に供給する。

【0134】

一方、第3の状態のステートメトリックの上位2ビット (Input 2) 及び第4の状態のステートメトリックの上位2ビット (Input 3) は、比較回路1503とセクタ回路1504に供給される。セクタ回路1504は、比較回路1503の出力に応じて小さい方の値を選択し、その選択結果を比較回路1505、セクタ回路1506に供給する。

【0135】

セクタ回路1506は、比較回路1505の出力に応じて、セクタ回路1502の出力とセクタ回路1504の出力のうち小さい方の値を選択する。この結果、セクタ回路1506からは、Input 0～3のうち最も小さい値が出力される。

【0136】

セクタ回路1506の出力は、減算回路1507～1501の夫々に供給される。各減算回路1507～1501は、Input 0～3からセクタ回路1

506の出力（つまり、最小の入力値）を減算し、その結果をOutput 0～3として出力する。

【0137】

このように構成することによって、本実施例の正規化回路1410は、ステートメトリックの演算に必要な配線数を大幅に削減できるだけでなく、消費電力を抑えることができる。

【0138】

尚、本実施例では、Input 0～3の夫々が並列に入力される例について説明したが、それらは直列に入力されてもよい。

【0139】

（他の実施例）

前述の実施例は、以下のように実現することも可能である。

【0140】

例えば、第1～第2の実施例を実現するようにプログラムされたソフトウェアを記録媒体215に記録させ、移動端末A102、B103の具備する制御部213に供給するように構成する。そして、この制御部213が記憶媒体215に記憶されたプログラムを読み出し、移動端末A102、B103の動作を制御して前述の実施例を実現する。

【0141】

この場合、上述の複数の誤り訂正符号化アルゴリズムを実現するために必要な複数のプログラムモジュールの一部を共通化すると共に、該複数の誤り訂正符号化アルゴリズムによる符号化処理を並列に行うことができる。又、上述の複数の誤り訂正復号アルゴリズムを実現するために必要な複数のプログラムモジュールの一部を共通化すると共に、該複数の誤り訂正復号アルゴリズムによる復号処理を並列に行うこともできる。これにより、プログラム全体のプログラム量の削減や開発工程を短縮を実現できると共に、複数の誤り訂正符号化アルゴリズムや複数の誤り訂正復号アルゴリズムを効率良く、高速に実現することもできる。

【0142】

尚、ソフトウェアを供給するための記憶媒体215としては、例えば、フロッ

ピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

【0143】

又、前述のソフトウェアは、記憶媒体 215 に予め記録したものでも、外部から供給された後、記憶媒体 215 に記録したものでもよい。

【0144】

尚、本発明はその精神、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0145】

上述の実施例では、誤り訂正符号化回路 208 と誤り訂正復号回路 209 とを移動端末 A102、B103 に適用する例について説明したが、基地局、固定局等の無線通信端末に適用してもよい。

【0146】

又、上述の実施例では、誤り訂正符号化回路 208 の一部の回路を共用し、訂正能力の異なる 2 つの誤り訂正符号化アルゴリズムを並列に行う例について説明したが、訂正能力の異なる 2 つ以上の誤り訂正符号化アルゴリズムを並列に行うように構成することも可能である。例えば、訂正能力の異なる複数の畳み込み符号化アルゴリズムと訂正能力の異なる複数のターボ符号化アルゴリズムとを、並列に行うように構成することも可能である。

【0147】

又、上述の実施例では、誤り訂正復号回路 209 の一部の回路を共用し、訂正能力の異なる 2 つの誤り訂正復号アルゴリズムを並列に行う例について説明したが、訂正能力の異なる 2 つ以上の誤り訂正復号アルゴリズムを並列に行うように構成することも可能である。例えば、訂正能力の異なる複数の軟出力復号アルゴリズムと訂正能力の異なる複数のターボ復号アルゴリズムとを、並列に行うように構成することも可能である。又、軟出力復号アルゴリズムに限らず、MAP 復号 (maximum a posteriori probability decoding) アルゴリズム等の最尤復号アルゴリズムを行うように構成することも可能である。

【0148】

【発明の効果】

以上のように、本発明によれば、複数の誤り訂正符号化アルゴリズムを簡単且つ低コストな回路構成によって実現することができる。

【0149】

本発明によれば、畳み込み符号化アルゴリズムやターボ符号化アルゴリズムを含む複数の誤り訂正符号化アルゴリズムを並列に処理することによって、複数の誤り訂正符号化アルゴリズムを効率良く、高速に処理することができる。

【0150】

本発明によれば、複数の復号アルゴリズムを簡単且つ低コストな回路構成によって実現することができる。

【0151】

本発明によれば、軟出力復号アルゴリズムやターボ復号アルゴリズムを含む複数の誤り訂正復号アルゴリズムを並列に処理することによって、複数の誤り訂正復号アルゴリズムを効率良く、高速に処理することができる。

【図面の簡単な説明】

【図1】

本実施例の無線通信システムの一例を示す図。

【図2】

本実施例の移動端末の構成の一例を示すブロック図。

【図3】

畳み込み符号化アルゴリズムを実現する回路の一例を示すブロック図。

【図4】

軟出力復号アルゴリズムを実現する回路の一例を示すブロック図。

【図5】

ターボ符号化アルゴリズムを実現する回路の一例を示すブロック図。

【図6】

ターボ復号アルゴリズムを実現する回路の一例を示すブロック図。

【図 7】

本実施例の誤り訂正符号化回路の一例を示すブロック図。

【図 8】

本実施例の誤り訂正符号化回路の他の例を示すブロック図。

【図 9】

本実施例の誤り訂正符号化回路の具備する符号化回路の一例を示すブロック図。

【図 1 0】

本実施例の誤り訂正符号化回路の処理動作を説明する図。

【図 1 1】

本実施例の誤り訂正復号回路の一例を示すブロック図。

【図 1 2】

本実施例の誤り訂正復号回路の具備する復号回路の一例を示すブロック図。

【図 1 3】

本実施例の誤り訂正復号回路の処理動作を説明する図。

【図 1 4】

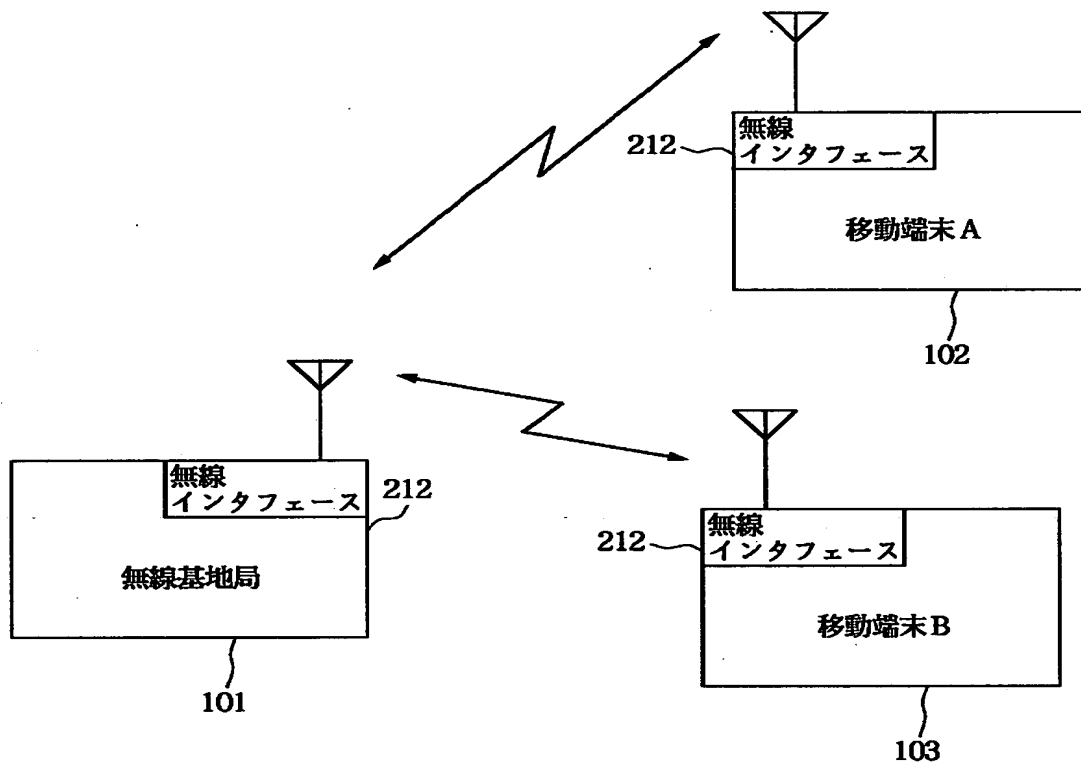
本実施例の誤り訂正復号回路の具備する復号回路の他の例を示すブロック図。

【図 1 5】

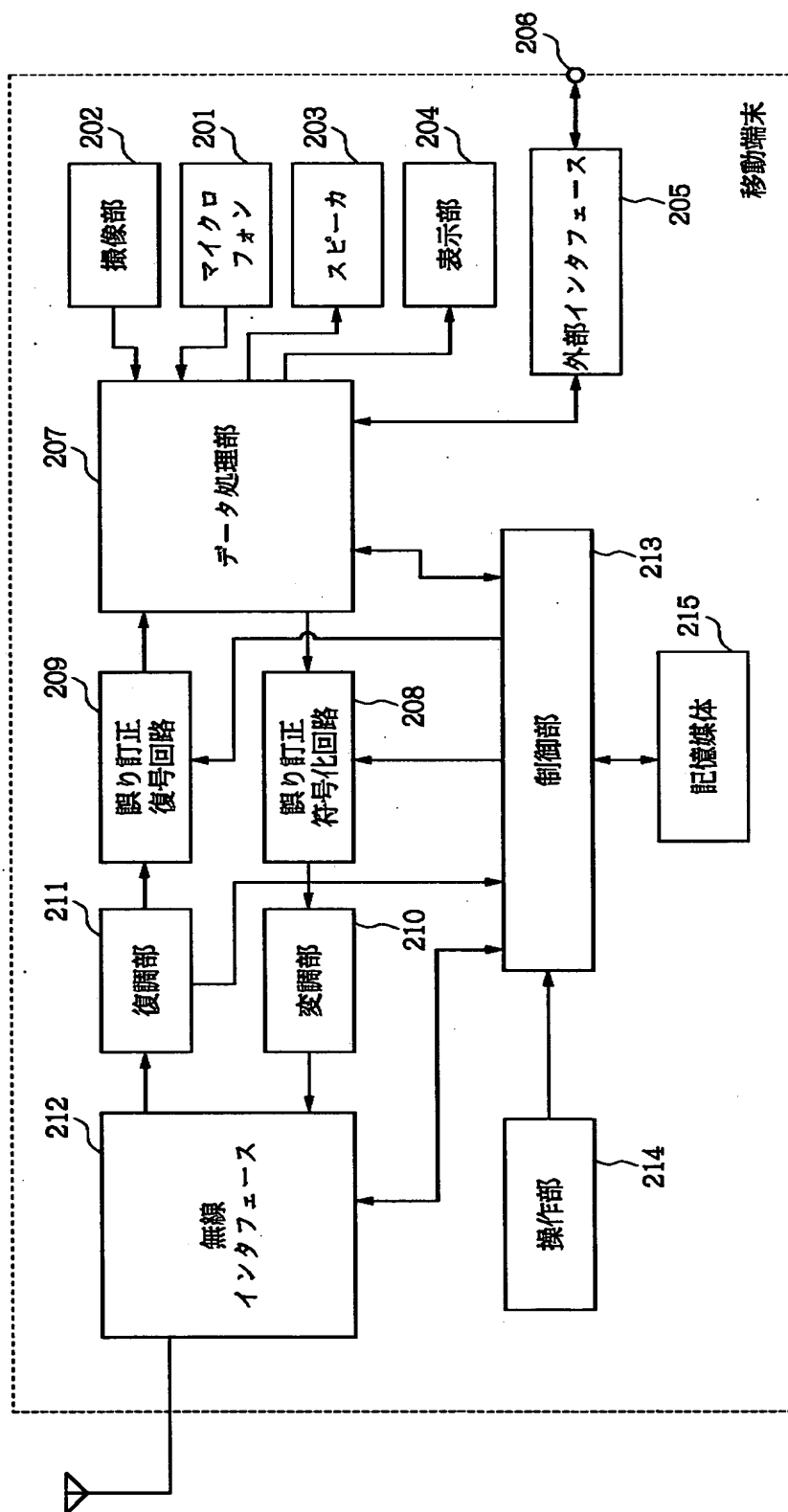
正規化回路の一例を示すブロック図。

【書類名】 図面

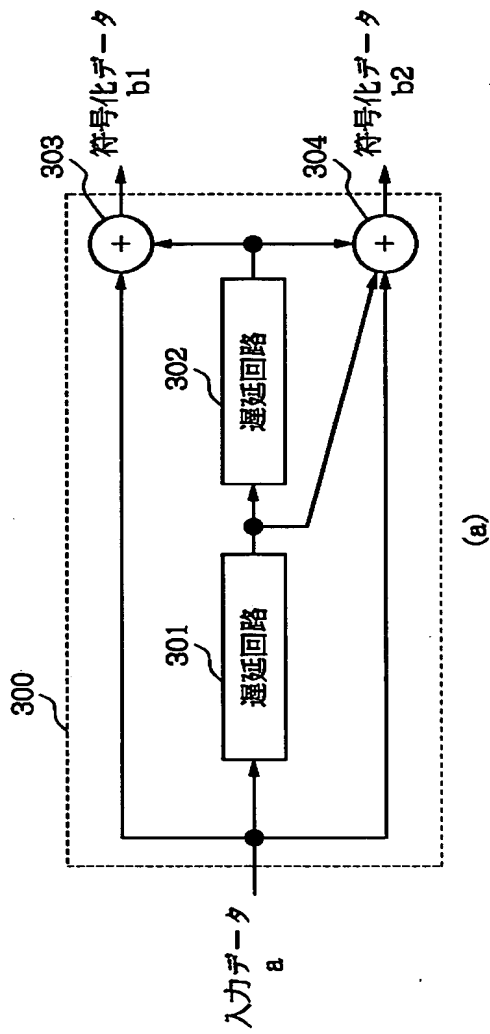
【図 1】



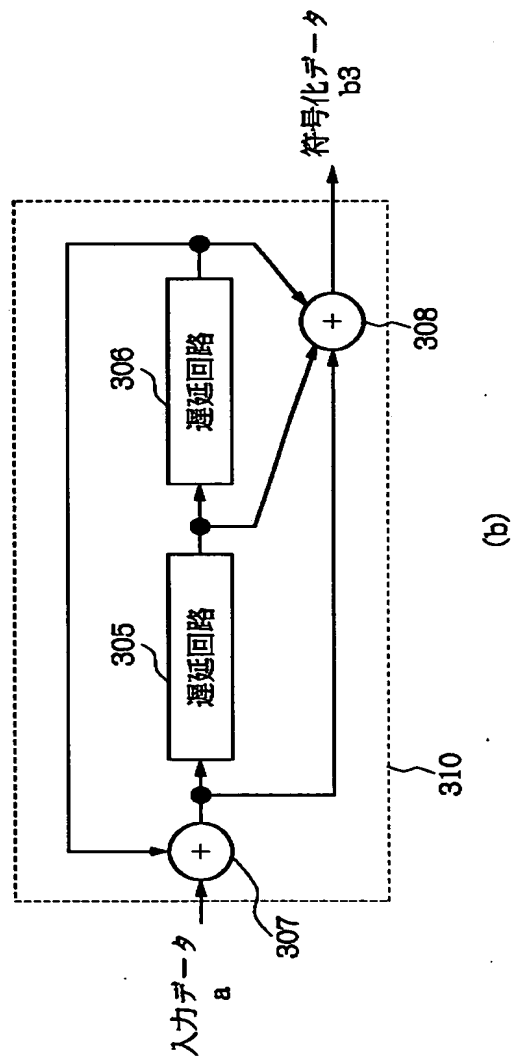
【図 2】



【図 3】

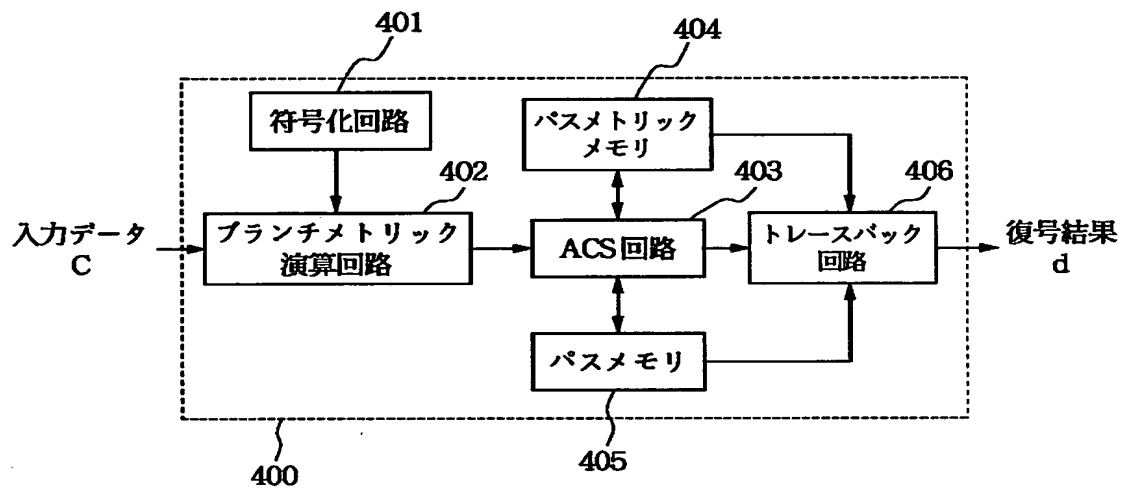


(a)

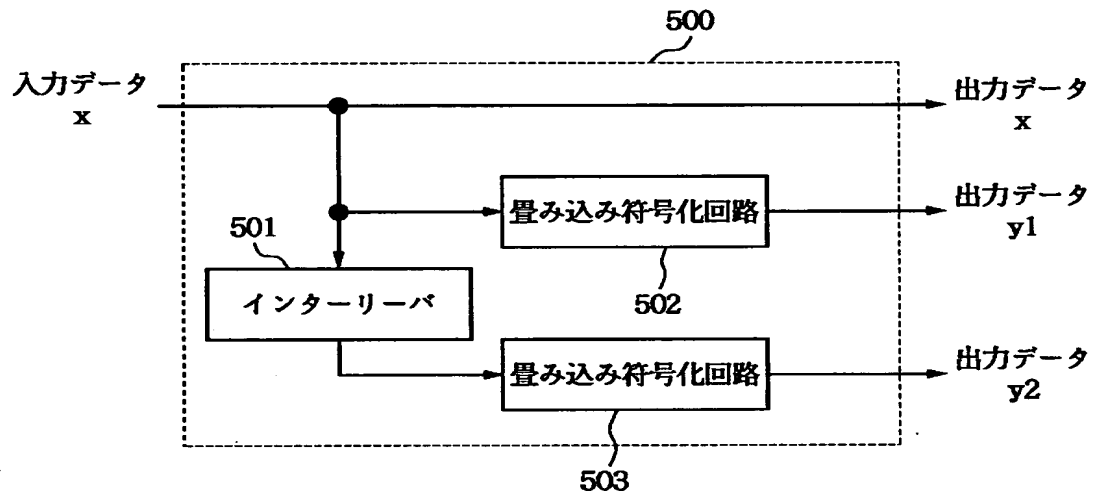


(b)

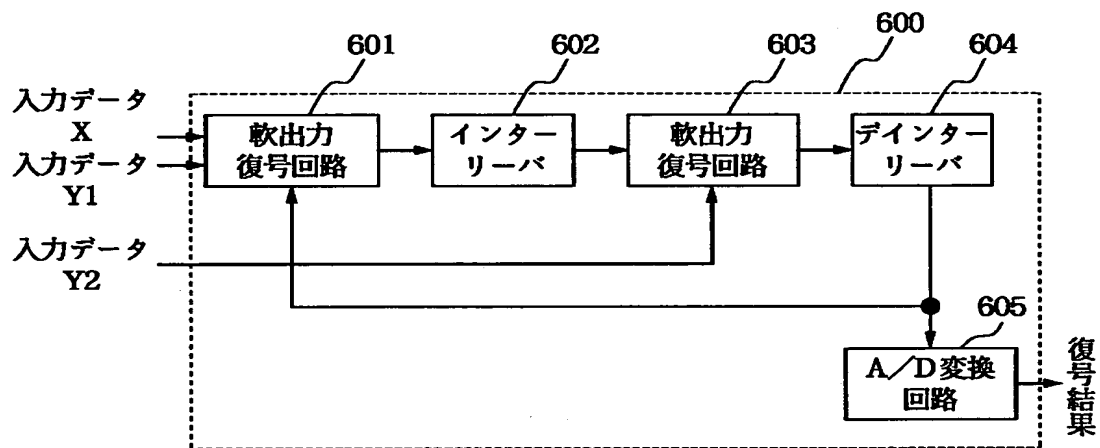
【図 4】



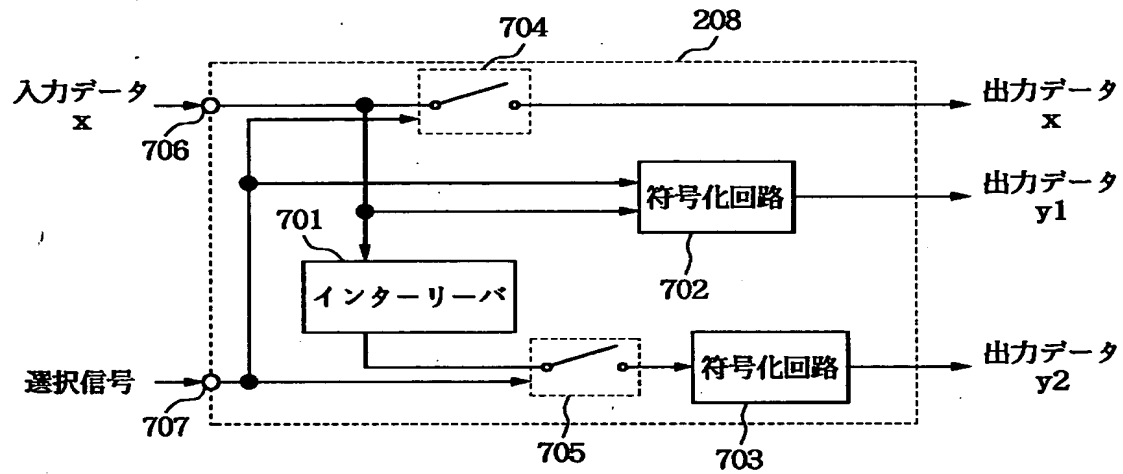
【図 5】



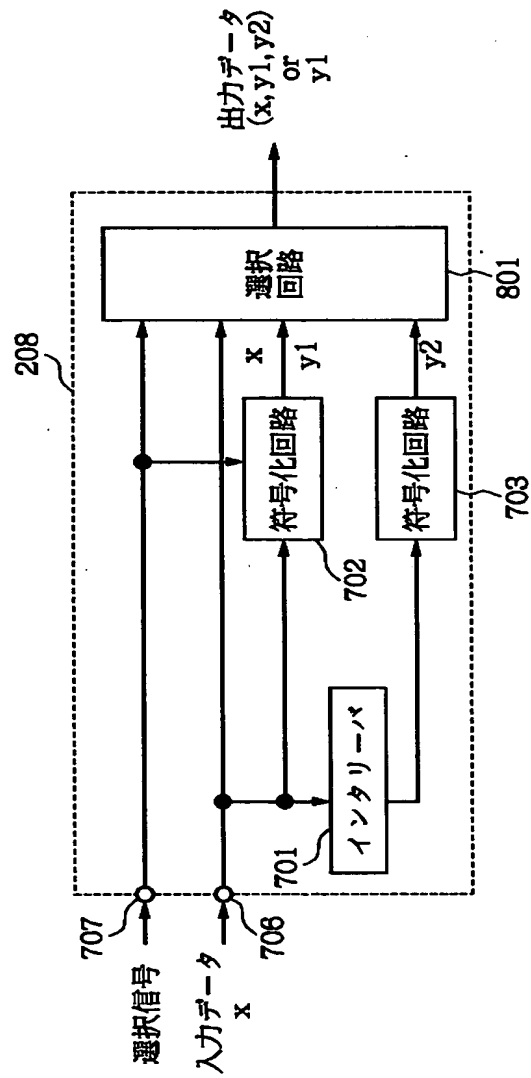
【図 6】



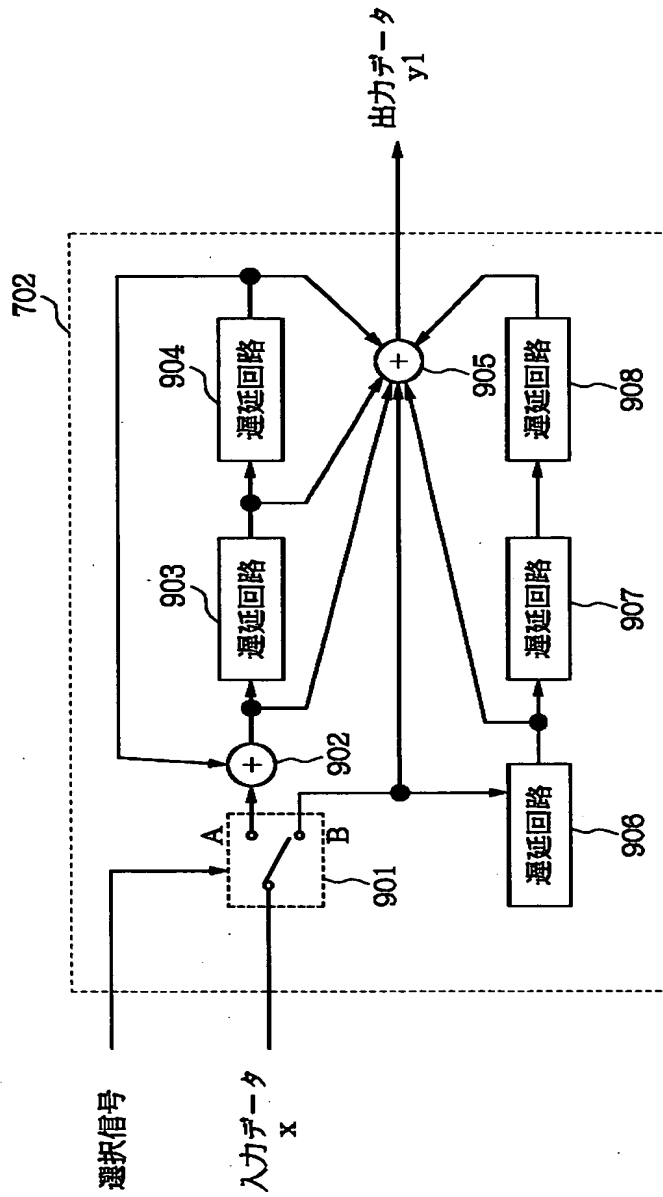
【図 7】



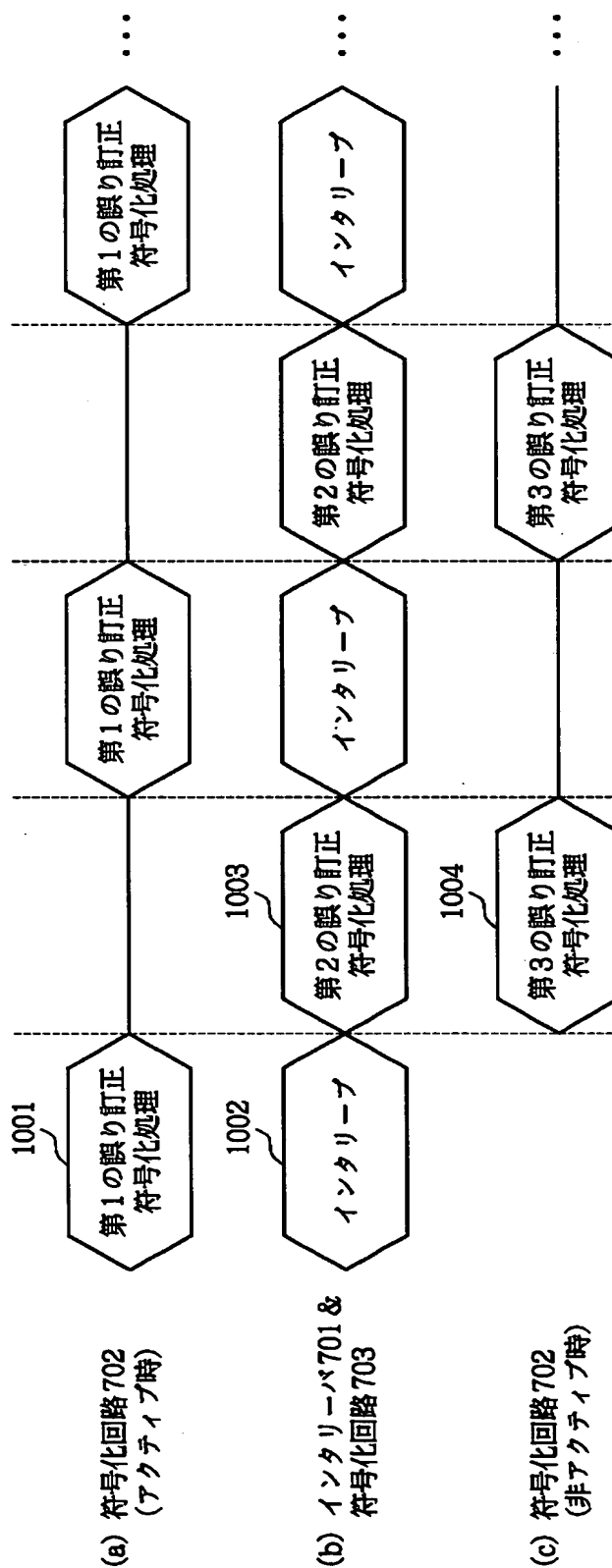
【図 8】



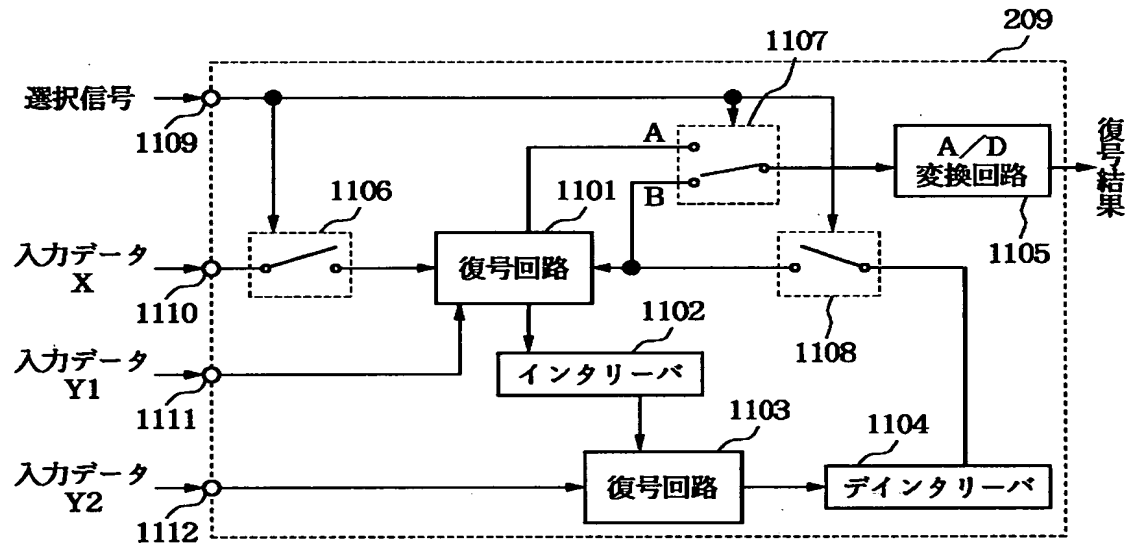
【図9】



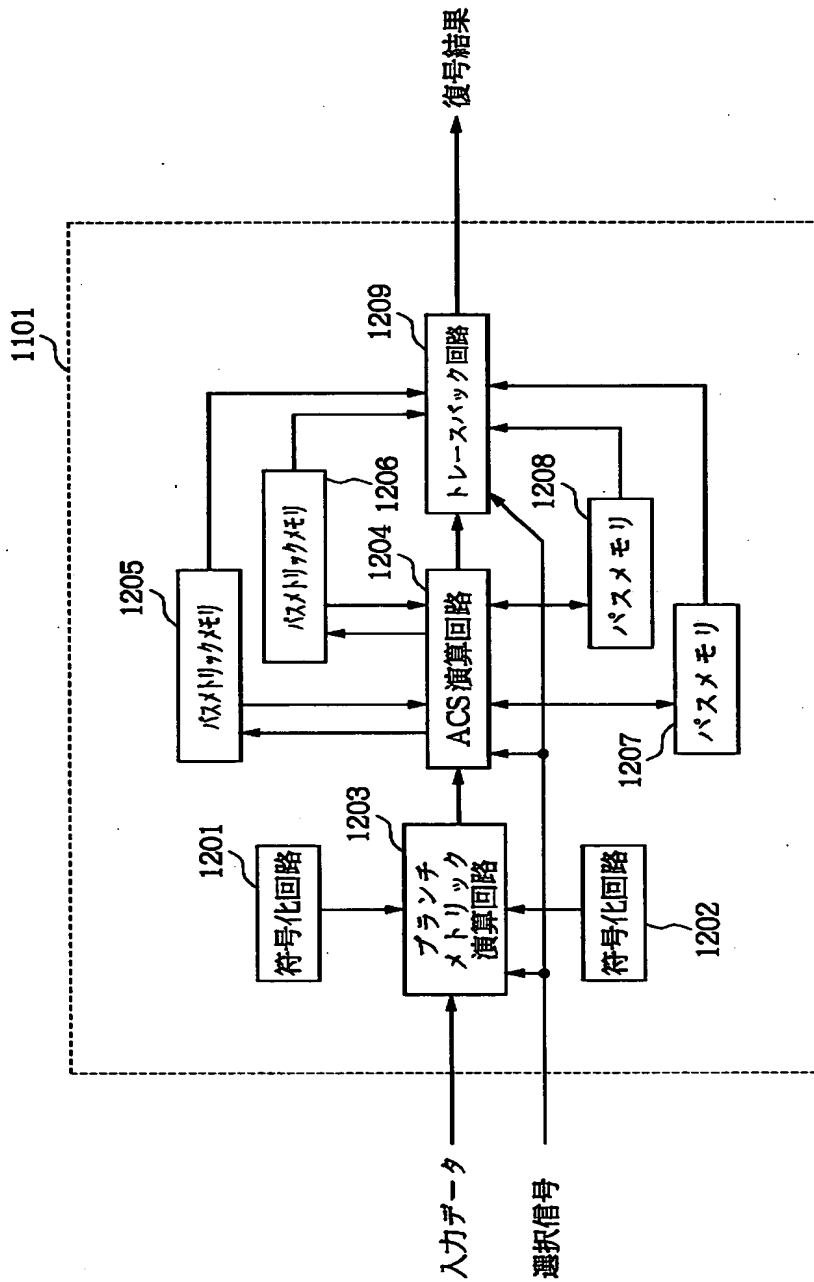
【図 10】



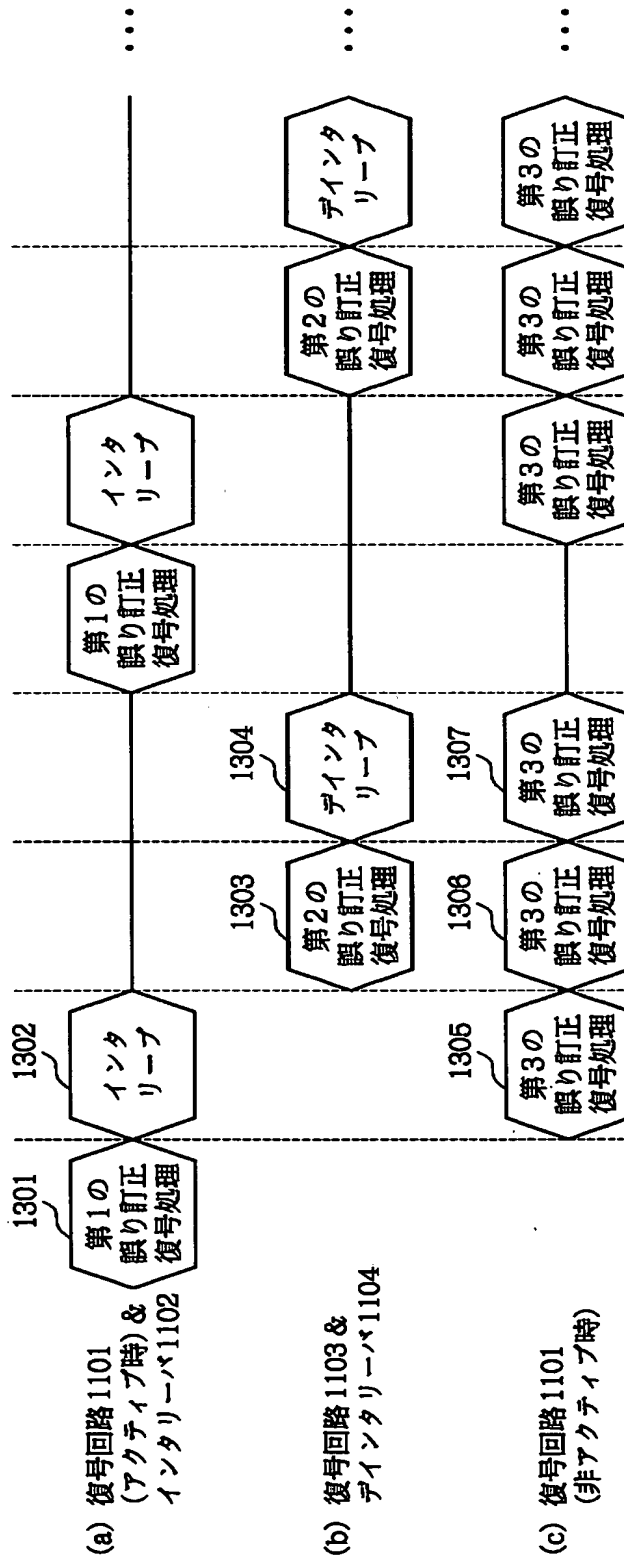
【図 11】



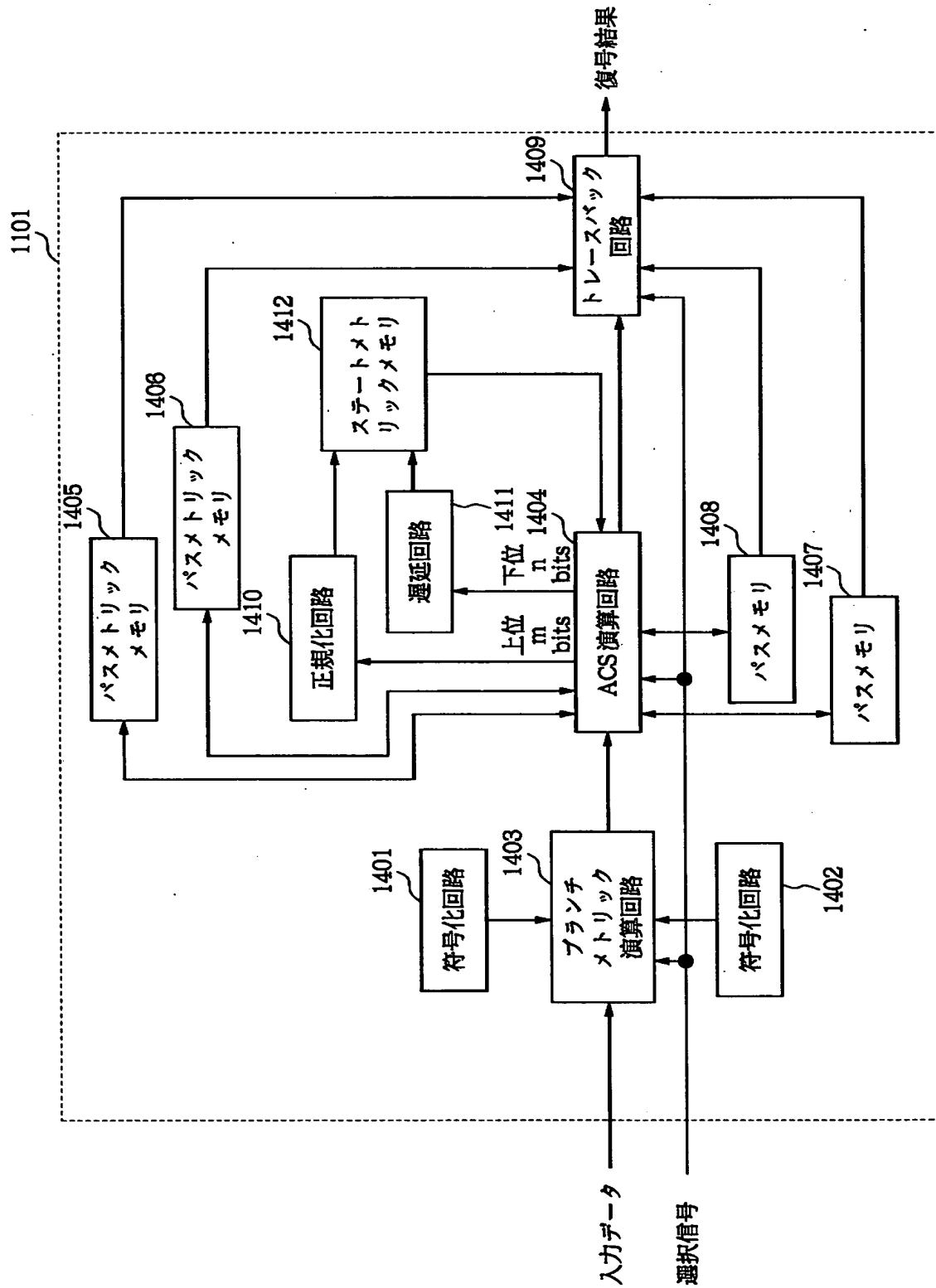
【図 12】



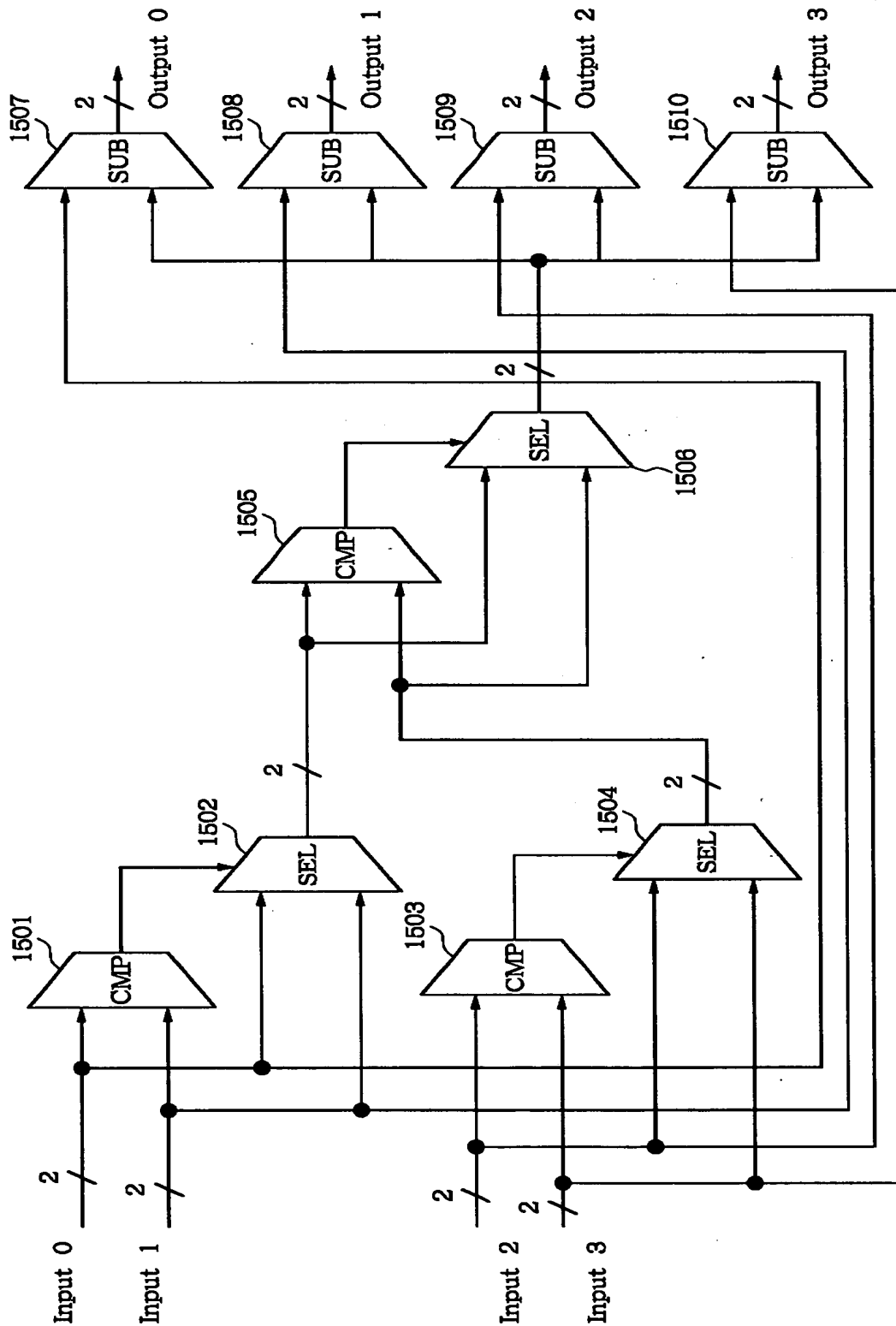
【図13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 複数の誤り訂正符号化アルゴリズム及び複数の誤り訂正復号アルゴリズムを簡単且つ低コストな回路構成で実現する。

【解決手段】 入力データを誤り訂正符号化する第 1 の符号化回路 7 0 2 と、入力データを所定の順序に並べ替えるインタリーバ 7 0 1 と、インタリーバ 7 0 1 の出力を誤り訂正符号化する第 2 の符号化回路 7 0 3 とを具備し、複数の誤り訂正符号化アルゴリズムを第 1 の符号化回路 7 0 2 を用いて並列的に処理する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社